



低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

MAX7032

概述

MAX7032是基于晶体的分数N分频收发器，设计用于发送和接收300MHz至450MHz频率范围内的ASK/OOK数据或FSK数据，数据速率高达33kbps (Manchester码) 或66kbps (NRZ码)。该器件对50Ω负载的典型输出功率为+10dBm，典型接收灵敏度为-114dBm (ASK数据) 和-110dBm (FSK数据)。MAX7032具有单独的发送 (PAOUT) 和接收 (LNAIN) 引脚，内部RF开关可用于将发送和接收引脚连接至公用天线。

MAX7032的发射频率由一个16位、分数N分频锁相环(PLL)产生，而接收器的本振(LO)则是由一个整数N分频锁相环(PLL)产生。由于分数N分频PLL可将发射频率调至接收频率的2kHz范围以内，因此这种混合架构无需使用独立的发送和接收晶体振荡器。这个12位分辨率的分数N分频PLL允许以 $f_{XTAL} / 4096$ 的步长对晶体频率倍频。接收器采用固定N分频PLL，可消除分数N分频PLL的较高电流消耗，以最大程度地降低接收器电流消耗。

MAX7032发送端PLL的分数N分频结构允许对FSK发射信号频偏进行精确设置，完全解决了振荡器牵引FSK信号带来的相关问题。该器件所有频率产生元件都集成在芯片内部，只需一个晶振、一个10.7MHz IF滤波器和少数简单分立器件即可实现完整的天线/数字数据解决方案。

MAX7032采用小型5mm x 5mm、32引脚、薄型QFN封装，工作在-40°C至+125°C汽车级温度范围。

应用

双向遥控钥匙
安全系统
家庭自动化
遥控
遥感
烟雾报警器
车库开门器
本地自动测量系统

关键特性

- ◆ 单电源供电：+2.1V至+3.6V或+4.5V至+5.5V
- ◆ 单晶体收发器
- ◆ 用户可调节的300MHz至450MHz载波频率
- ◆ ASK/OOK和FSK调制
- ◆ 通过分数N分频PLL寄存器实现用户可调的FSK频偏
- ◆ 具有 $f_{XTAL} / 4096$ 载波频率间隔的、灵活的发送频率合成器
- ◆ 为50Ω负载提供+10dBm输出功率
- ◆ 内置TX/RX开关
- ◆ 内置发送和接收PLL、VCO和环路滤波器
- ◆ > 45dB的镜频抑制
- ◆ 典型RF灵敏度为*
 - ASK: -114dBm
 - FSK: -110dBm
- ◆ 可由外部滤波器选择IF带宽
- ◆ 具有高动态范围的RSSI输出
- ◆ 自动低功耗管理模式
- ◆ < 12.5mA的发送模式电流
- ◆ < 6.7mA的接收模式电流
- ◆ < 23.5μA的寻检模式电流
- ◆ < 800nA的关断电流
- ◆ 快速上电使能，< 250μs
- ◆ 小尺寸32引脚、薄型QFN封装

*0.2% BER 4kbps曼彻斯特编码数据，280kHz IF BW，平均RF功率。

订购信息

PART	TEMP RANGE	PIN-PACKAGE	PKG CODE
MAX7032ATJ	-40°C to +125°C	32 Thin QFN-EP**	T3255-3

**EP = 裸焊盘。

引脚配置典型应用电路和原理图在本数据资料的最后。



低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

ABSOLUTE MAXIMUM RATINGS

HV _{IN} to GND.....	-0.3V to +6.0V
PAV _{DD} , AV _{DD} , DV _{DD} to GND.....	-0.3V to +4.0V
ENABLE, T/R, DATA, CS, DIO, SCLK, CLKOUT to GND.....	-0.3V to (HV _{IN} + 0.3V)
All Other Pins to GND.....	-0.3V to (\bar{V}_{DD} + 0.3V)

Continuous Power Dissipation (T _A = +70°C)	32-Pin Thin QFN (derate 21.3mW/°C above +70°C).....	1702mW
Operating Temperature Range	-40°C to +125°C	
Storage Temperature Range	-65°C to +150°C	
Lead Temperature (soldering, 10s).....	+300°C	

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

DC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, 50Ω system impedance, AV_{DD} = DV_{DD} = PAV_{DD} = HV_{IN} = +2.1V to +3.6V, f_{RF} = 300MHz to 450MHz, T_A = -40°C to +125°C, unless otherwise noted. Typical values are at AV_{DD} = DV_{DD} = PAV_{DD} = HV_{IN} = +2.7V, T_A = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS	
Supply Voltage (3V Mode)	V _{DD}	HV _{IN} , PAV _{DD} , AV _{DD} , and DV _{DD} connected to power supply	2.1	2.7	3.6	V	
Supply Voltage (5V Mode)	HV _{IN}	PAV _{DD} , AV _{DD} , and DV _{DD} unconnected from HV _{IN} , but connected together	4.5	5.0	5.5	V	
Supply Current	I _{DD}	Transmit mode, PA off, V _{DATA} at 0% duty cycle (ASK) (Note 2)	f _{RF} = 315MHz	3.5	5.4	mA	
			f _{RF} = 434MHz	4.3	6.7		
		Transmit mode, V _{DATA} at 50% duty cycle (ASK) (Notes 3, 4)	f _{RF} = 315MHz	7.6	12.3		
			f _{RF} = 434MHz	8.4	13.6		
		Transmit mode, V _{DATA} at 100% duty cycle (FSK)	f _{RF} = 315MHz (Note 4)	11.6	19.1		
			f _{RF} = 434MHz (Note 2)	12.4	20.4		
		T _A < +85°C, typ at +25°C (Note 4)	Receiver (ASK 315MHz)	6.1	7.9		mA
			Receiver (ASK 434MHz)	6.4	8.3		
			Receiver (FSK 315MHz)	6.4	8.4		
			Receiver (FSK 434MHz)	6.7	8.7		
		T _A < +125°C, typ at +25°C (Note 2)	DRX (3V mode)	23.4	77.3		μA
			DRX (5V mode)	67.2	94.4		
			Deep-sleep (3V mode)	0.8	8.8		
			Deep-sleep (5V mode)	2.4	10.9		
		T _A < +125°C, typ at +25°C (Note 2)	Receiver (ASK 315MHz)	6.4	8.2		mA
			Receiver (ASK 434MHz)	6.7	8.4		
Receiver (FSK 315MHz)	6.8		8.7				
Receiver (FSK 434MHz)	7.0		8.8				
DRX (3V mode)	33.5		103.0	μA			
DRX (5V mode)	82.3		116.1				
Deep-sleep (3V mode)	8.0		34.2				
Deep-sleep (5V mode)	14.9		39.3				
Voltage Regulator	V _{REG}	HV _{IN} = 5V, I _{LOAD} = 15mA		3.0		V	

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

MAX7032

DC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, 50Ω system impedance, AVDD = DVDD = PAVDD = HVIN = +2.1V to +3.6V, fRF = 300MHz to 450MHz, TA = -40°C to +125°C, unless otherwise noted. Typical values are at AVDD = DVDD = PAVDD = HVIN = +2.7V, TA = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
DIGITAL I/O						
Input High Threshold	V _{IH}	(Note 2)	0.9 x HV _{IN}			V
Input Low Threshold	V _{IL}	(Note 2)	0.1 x HV _{IN}			V
Pulldown Sink Current		SCLK, ENABLE, T/ \bar{R} , DATA (HV _{IN} = 5.5V)	20			μA
Pullup Source Current		DIO, \bar{CS} (HV _{IN} = 5.5V)	20			μA
Output-Low Voltage	V _{OL}	I _{SINK} = 500μA	0.15			V
Output-High Voltage	V _{OH}	I _{SOURCE} = 500μA	HV _{IN} - 0.26			V

AC ELECTRICAL CHARACTERISTICS

(Typical Application Circuit, 50Ω system impedance, AVDD = DVDD = PAVDD = HVIN = +2.1V to +3.6V, fRF = 300MHz to 450MHz, TA = -40°C to +125°C, unless otherwise noted. Typical values are at PAVDD = AVDD = DVDD = HVIN = +2.7V, TA = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL CHARACTERISTICS						
Frequency Range			300		450	MHz
Maximum Input Level	PRFIN		0			dBm
Transmit Efficiency 100% Duty Cycle		f _{RF} = 315MHz (Note 6)	32			%
		f _{RF} = 434MHz (Note 6)	30			
Transmit Efficiency 50% Duty Cycle		f _{RF} = 315MHz (Note 6)	24			%
		f _{RF} = 434MHz (Note 6)	22			
Power-On Time	t _{ON}	ENABLE or T/ \bar{R} transition low to high, transmitter frequency settled to within 50kHz of the desired carrier	200			μs
		ENABLE or T/ \bar{R} transition low to high, transmitter frequency settled to within 5kHz of the desired carrier	350			
		ENABLE transition low to high, or T/ \bar{R} transition high to low receiver startup time (Note 5)	250			
RECEIVER						
Sensitivity		0.2% BER, 4kbps Manchester data rate, 280kHz IF BW, ±50kHz FSK deviation, average power	ASK (315MHz)	-114		dBm
			ASK (434MHz)	-113		
			FSK (315MHz)	-110		
			FSK (434MHz)	-107		
Image Rejection		(Note 8)	46			dB

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, 50Ω system impedance, AVDD = DVDD = PAVDD = HVIN = +2.1V to +3.6V, fRF = 300MHz to 450MHz, TA = -40°C to +125°C, unless otherwise noted. Typical values are at PAVDD = AVDD = DVDD = HVIN = +2.7V, TA = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
POWER AMPLIFIER						
Output Power	POUT	TA = +25°C (Note 4)	4.6	10.0	15.5	dBm
		TA = +125°C, AVDD = DVDD = HVIN = PAVDD = +2.1V (Note 2)	3.9	6.7		
		TA = -40°C, AVDD = DVDD = HVIN = PAVDD = +3.6V (Note 4)		13.1	15.8	
Modulation Depth				82		dB
Maximum Carrier Harmonics		With output-matching network		-40		dBc
Reference Spur				-50		dBc
PHASE-LOCKED LOOP						
Transmit VCO Gain	KVCO			340		MHz/V
Transmit PLL Phase Noise		10kHz offset, 200kHz loop BW		-68		dBc/Hz
		1MHz offset, 200kHz loop BW		-98		
Receive VCO Gain				340		MHz/V
Receive PLL Phase Noise		10kHz offset, 500kHz loop BW		-80		dBc/Hz
		1MHz offset, 500kHz loop BW		-90		
Loop Bandwidth		Transmit PLL		200		kHz
		Receive PLL		500		
Minimum Transmit Frequency Step				fXTAL / 4096		kHz
Reference Frequency Input Level				0.5		Vp-p
Programmable Divider Range		In transmit mode (Note 4)	20		27	
LOW-NOISE AMPLIFIER/MIXER (Note 9)						
LNA Input Impedance	ZINLNA	Normalized to 50Ω	fRF = 315MHz	1 - j4.7		
			fRF = 434MHz	1 - j3.3		
Voltage-Conversion Gain		High-gain state	fRF = 315MHz	50		dB
			fRF = 434MHz	45		
		Low-gain state	fRF = 315MHz	13		
			fRF = 434MHz	9		
Input-Referred 3rd-Order Intercept Point	IIP3	High-gain state	-42		dBm	
		Low-gain state	-6			
Mixer Output Impedance				330		Ω
LO Signal Feedthrough to Antenna				-100		dBm
RSSI						
Input Impedance				330		Ω
Operating Frequency	fIF			10.7		MHz
3dB Bandwidth				10		MHz

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

MAX7032

AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, 50Ω system impedance, AVDD = DVDD = PAVDD = HVIN = +2.1V to +3.6V, fRF = 300MHz to 450MHz, TA = -40°C to +125°C, unless otherwise noted. Typical values are at PAVDD = AVDD = DVDD = HVIN = +2.7V, TA = +25°C, unless otherwise noted.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
Gain				15		mV/dB
FSK DEMODULATOR						
Conversion Gain				2.0		mV/kHz
ANALOG BASEBAND						
Maximum Data Filter Bandwidth				50		kHz
Maximum Data Slicer Bandwidth				100		kHz
Maximum Peak Detector Bandwidth				50		kHz
Maximum Data Rate		Manchester coded		33		kbps
		NRZ		66		
CRYSTAL OSCILLATOR						
Crystal Frequency	fXTAL			(fRF - 10.7) / 24		MHz
Maximum Crystal Inductance				50		mH
Frequency Pulling by VDD				2		ppm/V
Crystal Load Capacitance		(Note 7)		4.5		pF
SERIAL INTERFACE TIMING CHARACTERISTICS (see Figure 7)						
Minimum SCLK Setup to Falling Edge of CS	tSC			30		ns
Minimum CS Falling Edge to SCLK Rising-Edge Setup Time	tCSS			30		ns
Minimum CS Idle Time	tCSI			125		ns
Minimum CS Period	tCS			2.125		μs
Maximum SCLK Falling Edge to Data Valid Delay	tDO			80		ns
Minimum Data Valid to SCLK Rising-Edge Setup Time	tDS			30		ns
Minimum Data Valid to SCLK Rising-Edge Hold Time	tDH			30		ns
Minimum SCLK High Pulse Width	tCH			100		ns
Minimum SCLK Low Pulse Width	tCL			100		ns
Minimum CS Rising Edge to SCLK Rising-Edge Hold Time	tCSH			30		ns
Maximum CS Falling Edge to Output Enable Time	tDV			25		ns
Maximum CS Rising Edge to Output Disable Time	tTR			25		ns

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

AC ELECTRICAL CHARACTERISTICS (continued)

(Typical Application Circuit, 50Ω system impedance, $AV_{DD} = DV_{DD} = PAV_{DD} = HV_{IN} = +2.1V$ to $+3.6V$, $f_{RF} = 300MHz$ to $450MHz$, $T_A = -40^{\circ}C$ to $+125^{\circ}C$, unless otherwise noted. Typical values are at $PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +2.7V$, $T_A = +25^{\circ}C$, unless otherwise noted.) (Note 1)

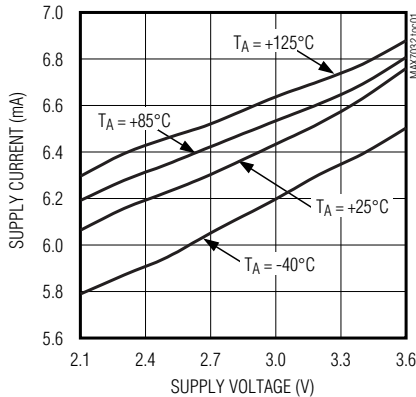
- Note 1:** Supply current, output power, and efficiency are greatly dependent on board layout and PAOUT match.
- Note 2:** 100% tested at $T_A = +125^{\circ}C$. Guaranteed by design and characterization overtemperature.
- Note 3:** 50% duty cycle at 10kHz ASK data (Manchester coded).
- Note 4:** Guaranteed by design and characterization. Not production tested.
- Note 5:** Time for final signal detection; does not include baseband filter settling.
- Note 6:** Efficiency = $P_{OUT} / (V_{DD} \times I_{DD})$.
- Note 7:** Dependent on PC board trace capacitance.
- Note 8:** The oscillator register (0x05) is set to the nearest integer result of $f_{XTAL} / 100kHz$ (see the *Oscillator Frequency Register* section).
- Note 9:** Input impedance is measured at the LNAIN pin. Note that the impedance at 315MHz includes the 12nH inductive degeneration from the LNA source to ground. The impedance at 434MHz includes a 10nH inductive degeneration connected from the LNA source to ground. The equivalent input circuit is approximately 50Ω in series with ~ 2.2pF. The voltage conversion is measured with the LNA input matching inductor, the degeneration inductor, and the LNA/mixer tank in place, and does not include the IF filter insertion loss.

典型工作特性

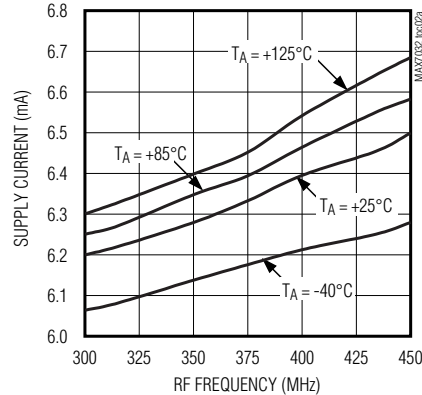
(Typical Operating Circuit, $PAV_{DD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V$, $f_{RF} = 433.92MHz$, $T_A = +25^{\circ}C$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2% average RF power, unless otherwise noted.)

RECEIVER

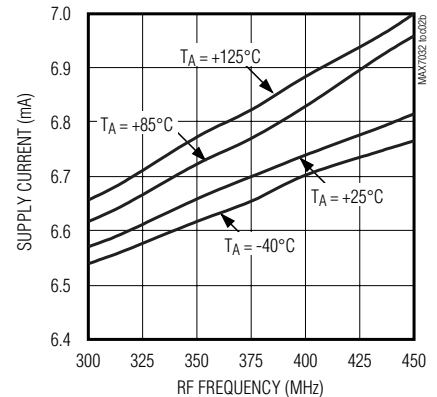
**SUPPLY CURRENT vs. SUPPLY VOLTAGE
(ASK MODE)**



**SUPPLY CURRENT vs. RF FREQUENCY
(ASK MODE)**



**SUPPLY CURRENT vs. RF FREQUENCY
(FSK MODE)**



低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

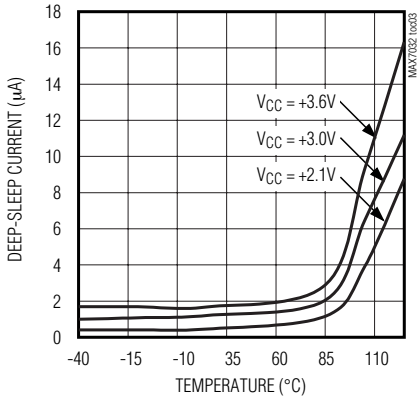
MAX7032

典型工作特性 (续)

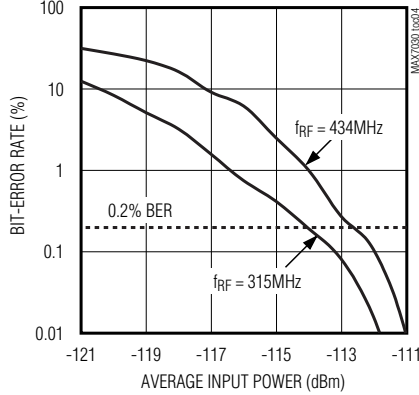
(Typical Operating Circuit, $P_{AVDD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V$, $f_{RF} = 433.92MHz$, $T_A = +25^\circ C$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2% average RF power, unless otherwise noted.)

RECEIVER

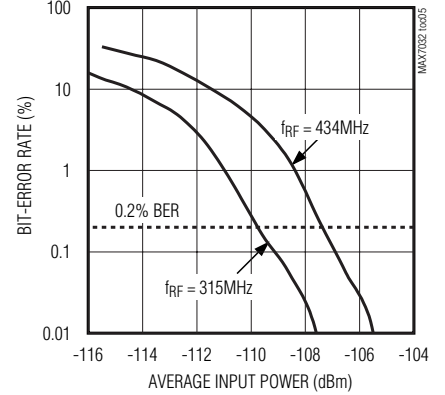
DEEP-SLEEP CURRENT vs. TEMPERATURE



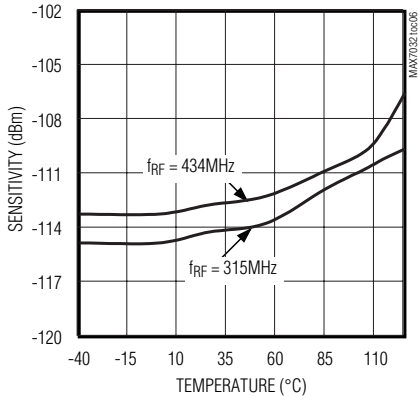
BIT-ERROR RATE vs. AVERAGE INPUT POWER (ASK DATA)



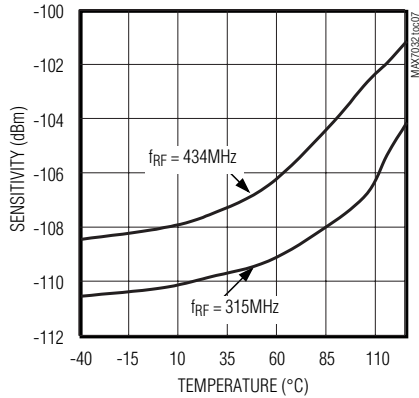
BIT-ERROR RATE vs. AVERAGE INPUT POWER (FSK DATA)



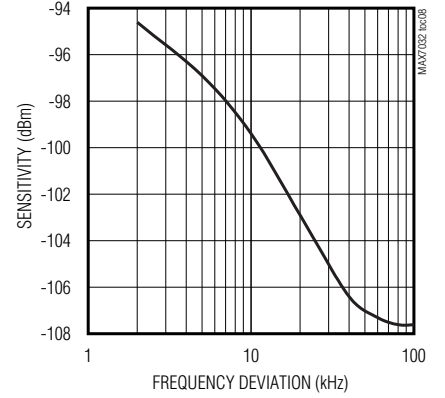
SENSITIVITY vs. TEMPERATURE (ASK DATA)



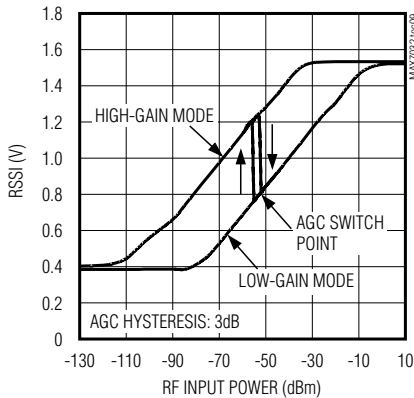
SENSITIVITY vs. TEMPERATURE (FSK DATA)



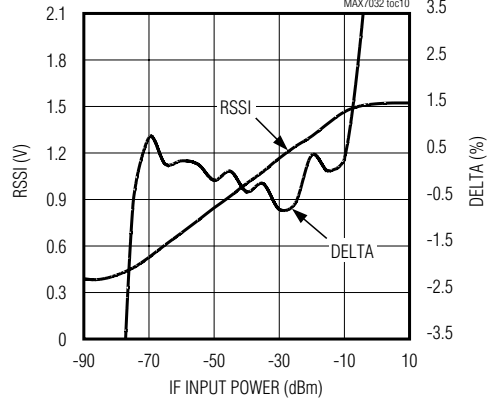
SENSITIVITY vs. FREQUENCY DEVIATION (FSK DATA)



RSSI vs. RF INPUT POWER



RSSI AND DELTA vs. IF INPUT POWER

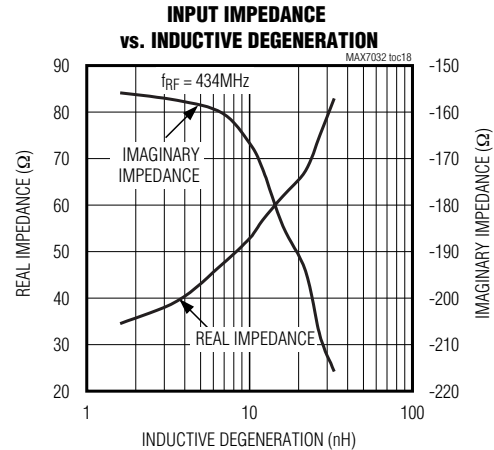
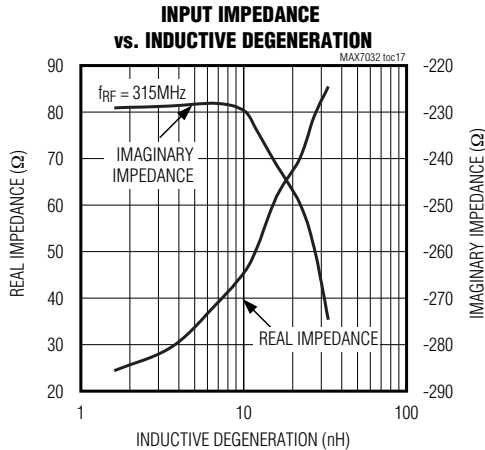
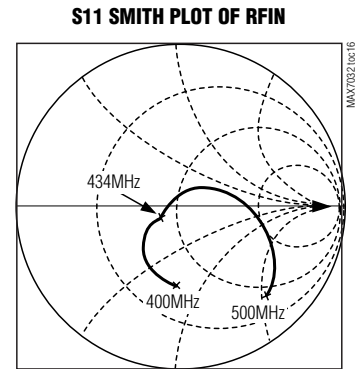
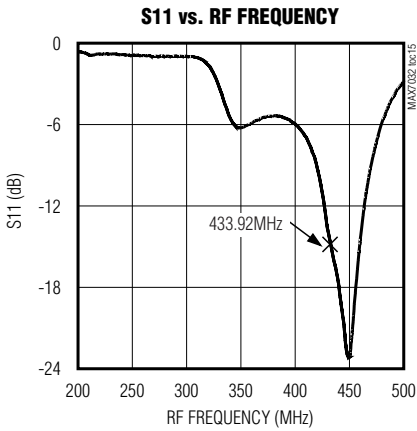
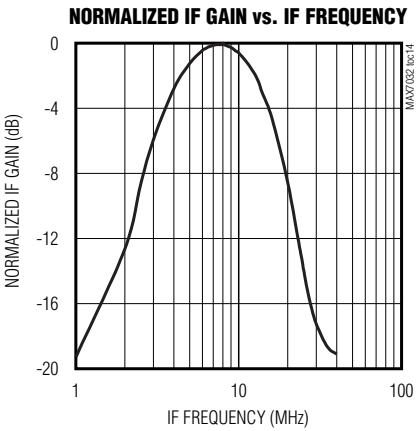
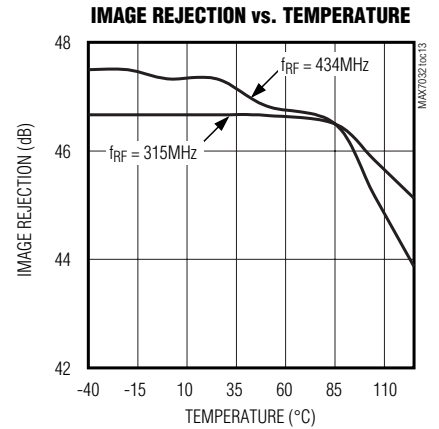
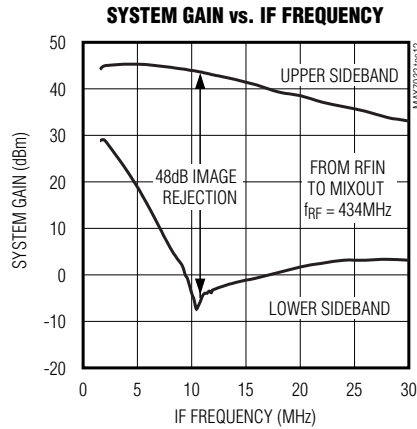
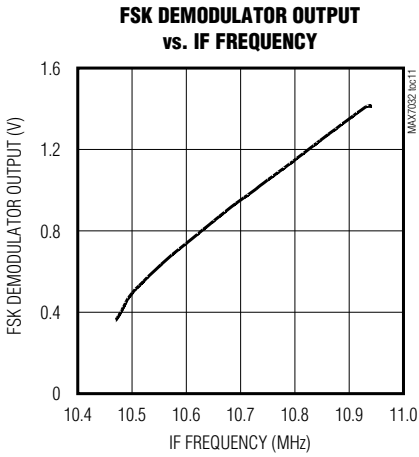


低成本、基于晶体的可编程ASK/FSK收发器，带有分数N分频PLL

典型工作特性 (续)

(Typical Operating Circuit, $P_{AVDD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V$, $f_{RF} = 433.92MHz$, $T_A = +25^{\circ}C$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2% average RF power, unless otherwise noted.)

RECEIVER

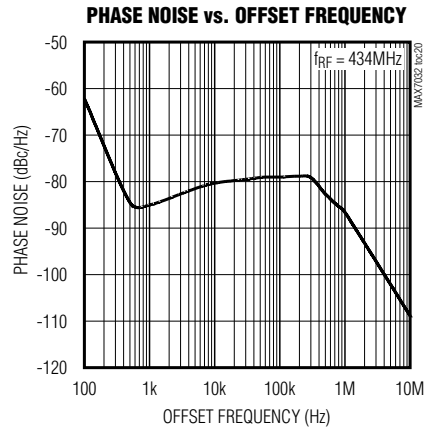
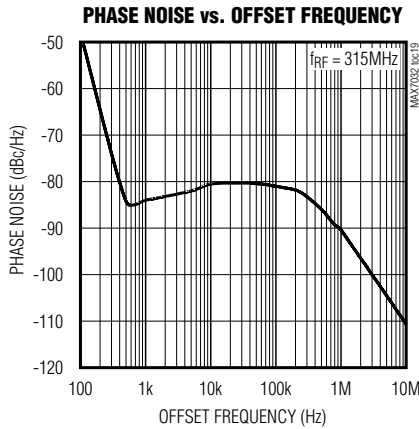


低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

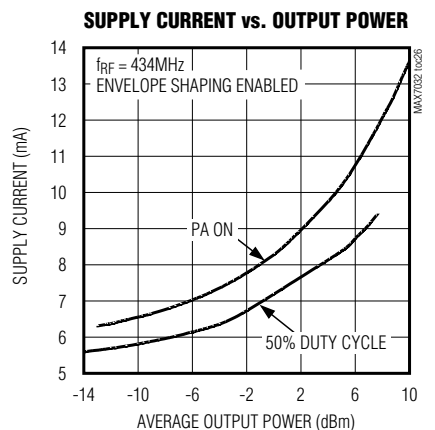
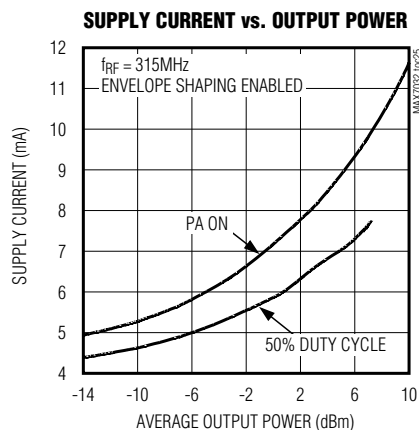
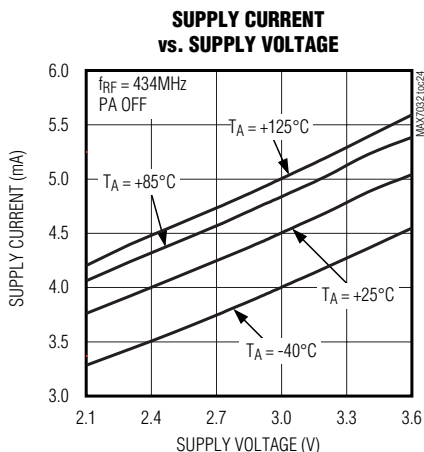
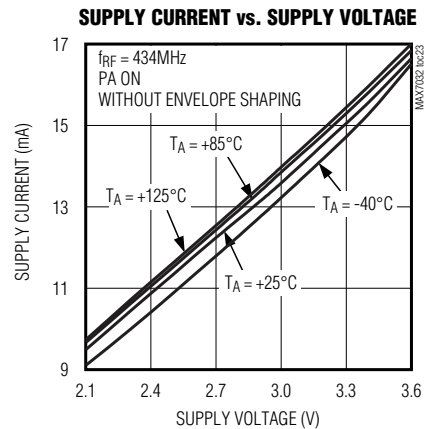
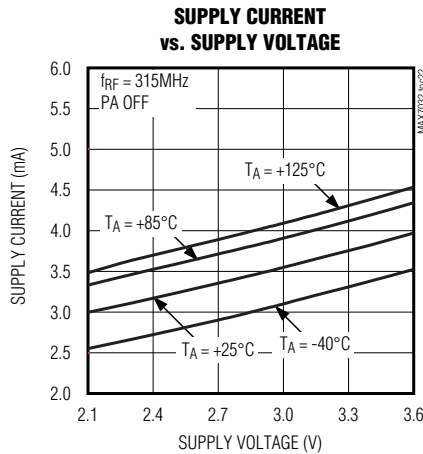
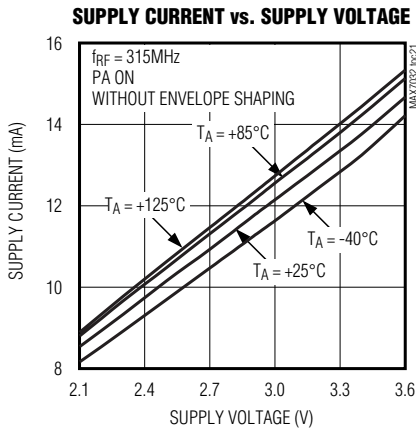
典型工作特性 (续)

(Typical Operating Circuit, $P_{AVDD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V$, $f_{RF} = 433.92MHz$, $T_A = +25^\circ C$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2% average RF power, unless otherwise noted.)

RECEIVER



TRANSMITTER



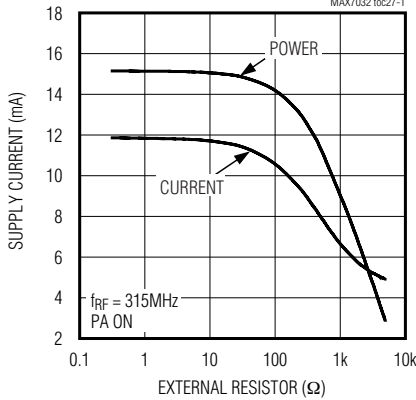
低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

典型工作特性 (续)

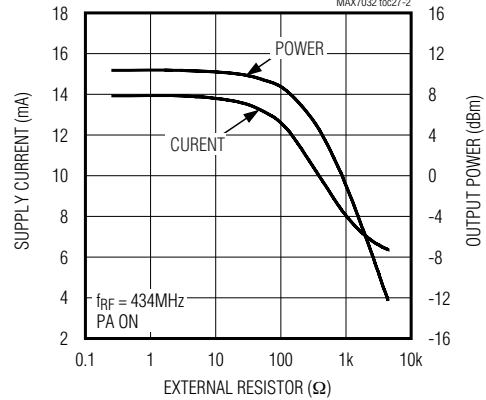
(Typical Operating Circuit, PAVDD = AVDD = DVDD = HVIN = +3.0V, f_{RF} = 433.92MHz, T_A = +25°C, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = ±50kHz, BER = 0.2% average RF power, unless otherwise noted.)

TRANSMITTER

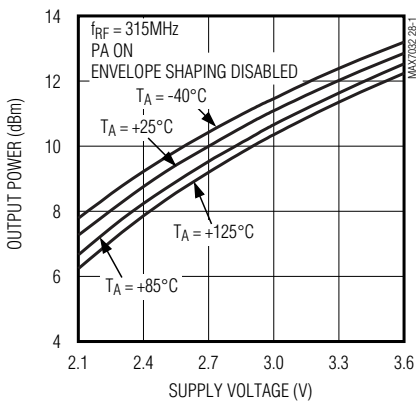
SUPPLY CURRENT AND OUTPUT POWER vs. EXTERNAL RESISTOR



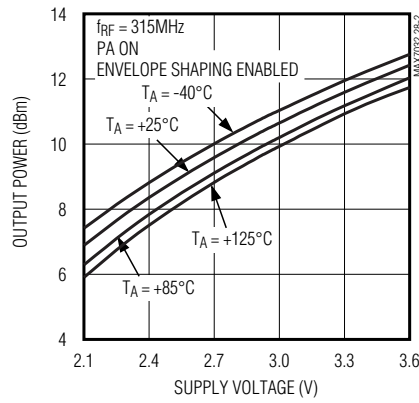
SUPPLY CURRENT AND OUTPUT POWER vs. EXTERNAL RESISTOR



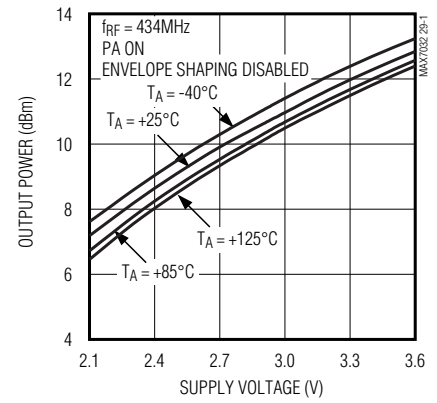
OUTPUT POWER vs. SUPPLY VOLTAGE



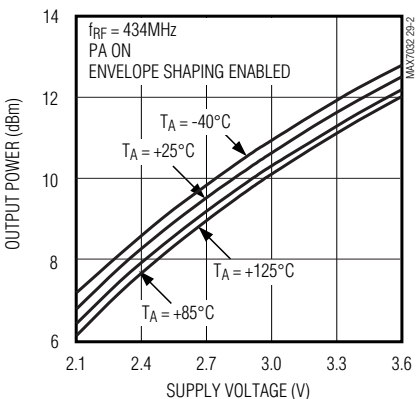
OUTPUT POWER vs. SUPPLY VOLTAGE



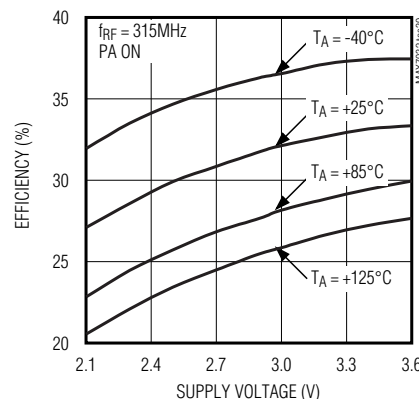
OUTPUT POWER vs. SUPPLY VOLTAGE



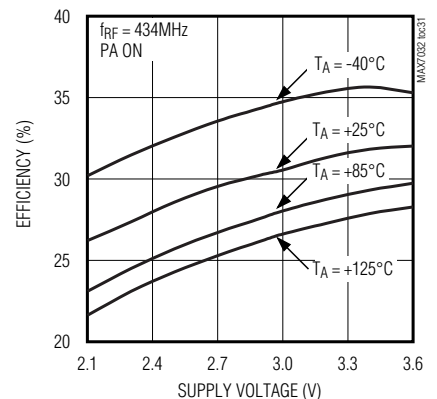
OUTPUT POWER vs. SUPPLY VOLTAGE



EFFICIENCY vs. SUPPLY VOLTAGE



EFFICIENCY vs. SUPPLY VOLTAGE

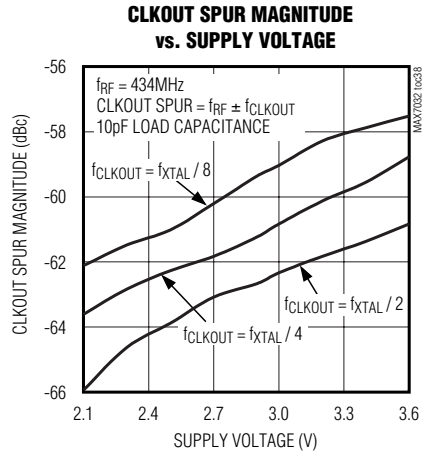
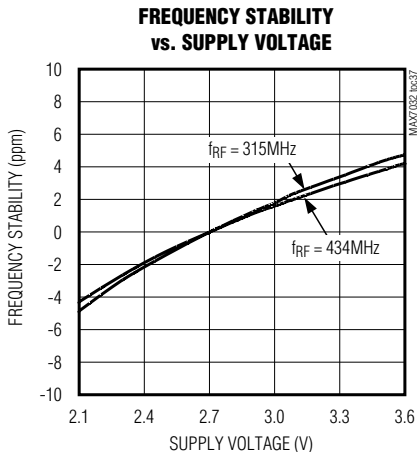
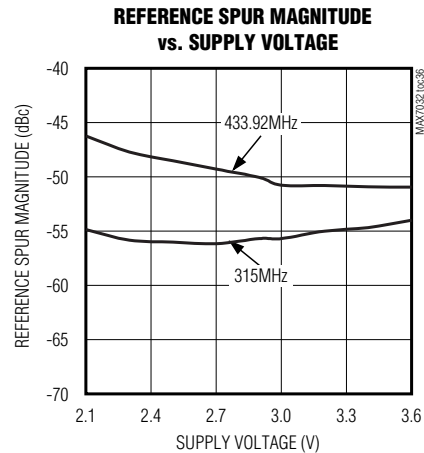
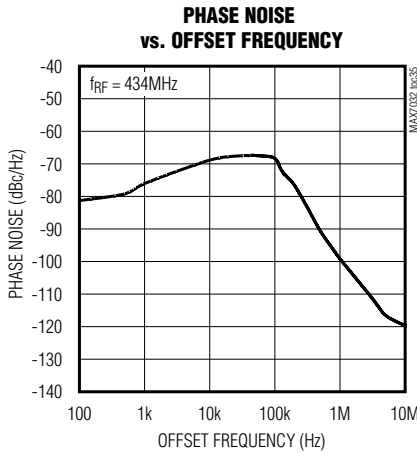
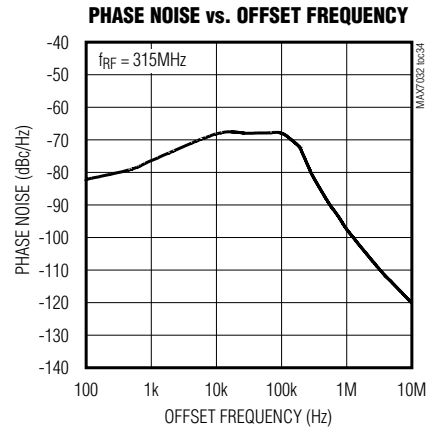
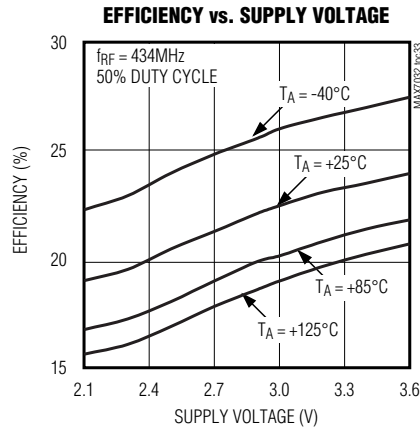
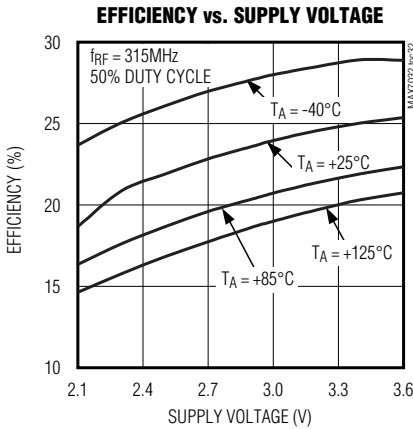


低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

典型工作特性 (续)

(Typical Operating Circuit, $P_{AVDD} = AV_{DD} = DV_{DD} = HV_{IN} = +3.0V$, $f_{RF} = 433.92MHz$, $T_A = +25^\circ C$, IF BW = 280kHz, data rate = 4kbps Manchester encoded, frequency deviation = $\pm 50kHz$, BER = 0.2% average RF power, unless otherwise noted.)

TRANSMITTER



MAX7032

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

引脚说明

引脚	名称	功能
1	PAVDD	功放电源。尽量靠近引脚接一个0.01 μ F和220pF的旁路电容到GND。
2	ROUT	包络调整输出。ROUT控制功放包络的上升和下降时间。连接ROUT到PA上拉电感或可选的功率调节电阻。如典型应用电路所示，用尽可能靠近电感安装的680pF和220pF电容将电感旁路到GND。
3	TX/RX1	发送/接收开关。T/R为高电平时TX/RX1与TX/RX2短路。T/R为低电平时TX/RX1与TX/RX2断开。TX/RX2功能相同。
4	TX/RX2	发送/接收开关。一般接地。参见典型应用电路。
5	PAOUT	功放输出。需要通过一个上拉电感连接电源(如需包络调整则接ROUT)，该电感可以是连接天线的输出匹配网络的一部分。
6	AVDD	模拟电源。5V下AVDD连至芯片内部+3.0V稳压器。用尽量靠近引脚的0.1 μ F和220pF电容将AVDD旁路至GND。
7	LNAIN	低噪声放大器输入。必须交流耦合。
8	LNASRC	用于连接电感衰减电路的低噪放源极。连接一个电感到GND来调整LNA的输入阻抗。
9	LNAOUT	低噪放输出。必须通过一个并联LC谐振滤波器连至AVDD。交流耦合至MIXIN+。
10	MIXIN+	混频器同相输入。必须交流耦合至LNA的输出端。
11	MIXIN-	混频器反相输入。用一个尽可能靠近LNA LC谐振滤波器的电容旁路到AVDD。
12	MIXOUT	330 Ω 混频器输出。连接到10.7MHz中频滤波器的输入端。
13	IFIN-	330 Ω 中频限幅放大器反相输入。通过一个电容旁路到GND。
14	IFIN+	330 Ω 中频限幅放大器同相输入。连接10.7MHz中频滤波器的输出。
15	PDMIN	解调器输出最低电平峰值检波器。
16	PDMAX	解调器输出最高电平峰值检波器。
17	DS-	数据限幅反相输入。
18	DS+	数据限幅同相输入。
19	OP+	Sallen-key数据滤波器的运放同相输入。
20	DF	数据滤波反馈节点。Sallen-Key数据滤波器的反馈输入。
21	RSSI	带缓冲的接收信号强度指示输出。
22	T/R	发送/接收选择。高电平时该器件工作在发送模式下。低电平或断开时，该器件工作在接收模式下。在内部被拉低。该功能也可由一个配置寄存器控制。
23	ENABLE	使能。高电平时为正常运行。低电平或断开时该器件进入关断模式。
24	DATA	接收器数据输出/发送器数据输入。
25	CLKOUT	晶振时钟分频缓冲输出。
26	DVDD	数字电源。用尽可能靠近引脚的0.01 μ F和220pF电容旁路至GND。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

引脚说明 (续)

引脚	名称	功能
27	HV _{IN}	高电压电源输入。对于3V操作，HV _{IN} 连接到PAV _{DD} ，AV _{DD} 和DV _{DD} 。对于5V操作，HV _{IN} 接5V。用尽可能靠近引脚的0.01μF和220pF电容旁路到GND。
28	\overline{CS}	串行接口的片选信号，低电平有效。
29	DIO	串行接口的数据输入/输出。
30	SCLK	串行接口时钟输入。
31	XTAL1	晶振输入1。如果外部参考时钟通过XTAL2交流耦合输入，则旁路该引脚至GND。
32	XTAL2	晶振输入2。可用外部参考时钟交流耦合驱动XTAL2。
EP	GND	裸焊盘。均匀地焊接到电路板的地以正常运行。

详细说明

300MHz至450MHz的CMOS收发器MAX7032加上一些外部元件即可构成一套从天线到数据接口的完整发射和接收链路。该器件设计用来收发ASK和FSK数据。所有发射频率由一个基于分数N的合成器产生，能够以 $f_{XTAL} / 4096$ 的步长非常精细地调整频率。接收本振由一个传统的基于整数N的合成器产生。通过选择器件，数据传输速度可以高达33kbps (曼彻斯特码) 或66kbps (NRZ码)。

接收器

低噪声放大器 (LNA)

低噪声放大器是一个级联放大器，配合片外电感衰减电路，可实现约为30dB的电压增益，当然，这还取决于LNA输入端的天线匹配网络以及LNA输出端与混频器输入间的LC谐振网络。

片外电感衰减电路通过在LNASRC和AGND之间连接一个电感构成。该电感设置LNAIN输入阻抗的实部，可灵活匹配低输入阻抗的PCB带状天线。输入阻抗为50Ω时，电感的额定值在315MHz频点是12nH，在434MHz频点是10nH，但是该电感还受PCB板走线长度的影响。LNASRC可以短接到地以增加大约1dB的灵敏度，但输入阻抗匹配必须重新优化。

连接到LNAOUT的LC谐振滤波器由L5和C9组成 (参见典型应用电路)。选择谐振在所要求的RF输入频率的L5和C9。该谐振频率由下式给出：

$$f = \frac{1}{2\pi\sqrt{L_{TOTAL} \times C_{TOTAL}}}$$

其中， $L_{TOTAL} = L5 + L_{PARASITICS}$ ， $C_{TOTAL} = C9 + C_{PARASITICS}$ 。

$L_{PARASITICS}$ 和 $C_{PARASITICS}$ 包括PCB走线、封装引脚、混频器输入阻抗、低噪声放大器输出阻抗的电感和电容。这些寄生效应在高频不能被忽略，会对谐振滤波器中心频率产生很大的影响。必须进行实验以优化谐振中心频率。总寄生电容值通常在5pF到7pF之间。

自动增益控制 (AGC)

当AGC使能时，监控RSSI的输出。当RSSI的输出达到1.28V，相当于大约-55dBm的射频输入功率时，AGC打开低噪声放大器增益衰减器。这个增益衰减器会使低噪声放大器增益降低36dB，从而将RSSI输出降低540mV到740mV。当RSSI输出电平低于680mV (约-59dBm射频输入) 的时间超过可编程的AGC驻留时间后，LNA恢复高增益模式。AGC大约有4dB的滞回。AGC增加了RSSI的动态范围，保证MAX7032在0dBm、18dB调制深度的射频输入时产生可靠的ASK输出。在ASK或FSK模式AGC都不是必需的，可以关断。FSK模式时AGC不是必需的，因为大的接收信号幅度不会影响FSK的性能。

低成本、基于晶体的可编程ASK/FSK收发器，带有分数N分频PLL

混频器

MAX7032的一个独有特性是混频器集成了镜频抑制。省去了许多应用中昂贵的前端SAW滤波器。不使用SAW滤波器的好处是增加了灵敏度，简化天线匹配，减少电路板面积并降低成本。

混频器单元使用一对儿双平衡混频器实现射频输入到10.7MHz中频的下变频，采用低端注入（即， $f_{LO} = f_{RF} - f_{IF}$ ）。镜频抑制电路利用这些信号在整个温度范围内实现46dB的典型镜频抑制。采用低端注入是由于片内镜频抑制不支持高端注入。中频输出由一个源极跟随器驱动，偏置于驱动330Ω阻抗，以连接片外330Ω的陶瓷中频滤波器。驱动330Ω负载的电压转换增益约为20dB。注意，MIXIN+和MIXIN-输入在功能上是相同的。

整数N分频锁相环 (PLL)

MAX7032利用一个固定整数N分频锁相环产生接收LO。所有的PLL元件，包括环路滤波器、压控振荡器、电荷泵、异步24分频器和鉴相器都集成在片内。环路带宽约为500kHz。RF、IF和参考频率的关系如下式所示：

$$f_{REF} = (f_{RF} - f_{IF}) / 24$$

中频 (IF)

中频的差分330Ω负载用来匹配片外的陶瓷滤波器。内部6个交流耦合限幅放大器产生约65dB的总增益，带通滤波器中心频率为10.7MHz的中频频率，3dB带宽约10MHz。对于ASK数据，RSSI电路将中频解调到基带，产生一个正比于中频信号的对数值、比例约为15mV/dB的直流输出。对于FSK，限幅器输出被送入PLL来解调中频信号。FSK解调比例约为2.0mV/kHz。

FSK解调

FSK解调器利用一个集成的10.7MHz的锁相环跟踪输入RF的调制信号，将频差转换成电压。PLL如图1所示。PLL的输入来自中频限幅放大器的输出。PLL的控制电压随着输入信号频率的变化而变化，额定增益为2.0mV/kHz。例如，一个峰值频差为50kHz的FSK信号在控制线上产生一个100mV_{P-P}信号。这个控制电压通过基带电路进行滤波和限幅。

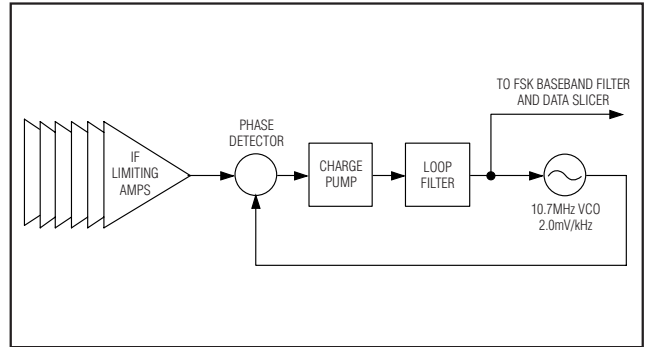


图1. FSK解调器PLL原理图

FSK解调器PLL需要校准来消除处理过程中发生的变化以及电压和温度的影响。关于校准FSK解调器的更多信息，参考校准部分。最大校准时间是150μs。在非连续接收模式（DRX），FSK解调器校准在IC退出休眠模式时自动开启。

数据滤波器

用于解调数据的滤波器是2阶低通Sallen-Key滤波器。极点位置是由两个片内电阻和两个外部电容决定的。通过调整外部电容，可更改拐角频率以对不同数据速率进行优化。对于ASK，以kHz表示的拐角频率应设置为以kbps表示的、最高曼彻斯特数据发送速率的3倍（最高NRZ数据发送速率的1.5倍）。对于FSK，拐角频率应设置为以kbps表示的、最高曼彻斯特数据发送速率的2倍（最高NRZ数据发送速率的1倍）。保持拐角频率接近数据速率可以抑制高频噪声，增大接收机的灵敏度。表1列出了计算CF1和CF2的系数。

表1. 计算CF1和CF2系数

FILTER TYPE	a	b
Butterworth (Q = 0.707)	1.414	1.000
Bessel (Q = 0.577)	1.3617	0.618

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

图2所示结构可以产生巴特沃兹或贝塞尔响应。巴特沃兹滤波器具有非常平坦的通带幅频特性，两极点滤波器还可产生每十倍频程40dB的滚降。贝塞尔滤波器具有线性相位响应，适合数字滤波。使用下面的公式计算电容值，相关系数如表1所示。

$$C_{F1} = \frac{b}{a(100k\Omega)(\pi)(f_C)}$$

$$C_{F2} = \frac{a}{4(100k\Omega)(\pi)(f_C)}$$

f_C 是理想的3dB拐角频率。

例如，选择一个拐角频率为5kHz的巴特沃兹滤波器：

$$C_{F1} = \frac{1.000}{(1.414)(100k\Omega)(3.14)(5kHz)} \approx 450pF$$

$$C_{F2} = \frac{1.414}{(4)(100k\Omega)(3.14)(5kHz)} \approx 225pF$$

选择标准的电容值， C_{F1} 为470pF， C_{F2} 为220pF。在典型应用中， C_{F1} 和 C_{F2} 分别用C16和C17表示。

数据限幅器

数据限幅器将经过数据滤波的模拟输出转换成数字信号。利用一个比较器来比较模拟输入和门限电压实现。门限电压由DS-引脚上的电压决定，连接到数据限幅比较器的反相输入。

很多结构都可产生数据限幅器门限值。例如，图3所示电路仅使用一个电阻和一个电容。这个结构对滤波器模拟输出进行平均，并将门限值设为该幅度的50%。利用这个结构，当模拟信号变化时门限值会自动调整，降低数据误差。R和C影响门限值跟踪模拟信号幅度的速度。应确保RC电路的拐角频率远低于（大概10倍）最低数据速率。

在这个结构中，一长串NRZ编码的0或1可能使门限值发生偏移。如果使用曼彻斯特码含有相同数量0和1的编码方案，这个结构可发挥更好的作用。

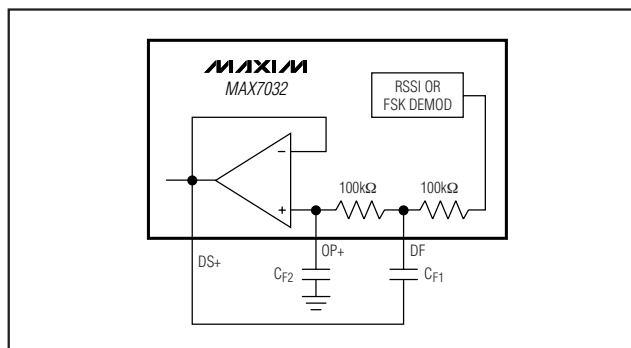


图2. Sallen-Key低通数据滤波器

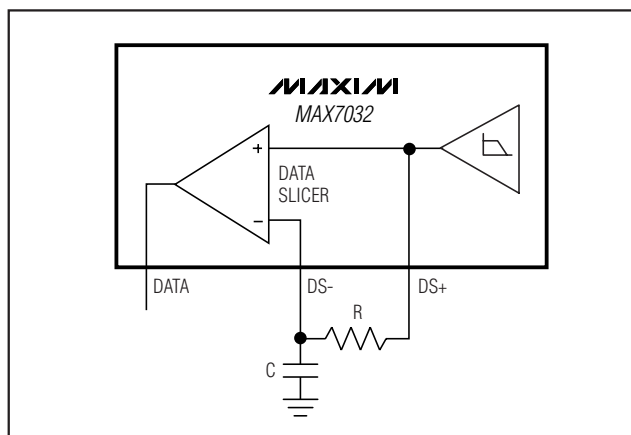


图3. 用低通滤波器产生数据限幅门限值

图4所示为利用高低峰值检波来产生门限值的结构。这个结构可将门限值设置为数据滤波器输出的中点。

峰值检波器

最大峰值检波器 (PDMAX) 和最小峰值检波器 (PDMIN)，带有电阻和电容的结构，如图4所示，产生的DC输出电压为经过滤波的ASK信号或FSK解调信号的高低峰值。电阻提供了电容的放电途径，允许峰值检波器动态跟踪数据滤波输出电压峰值的变化。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

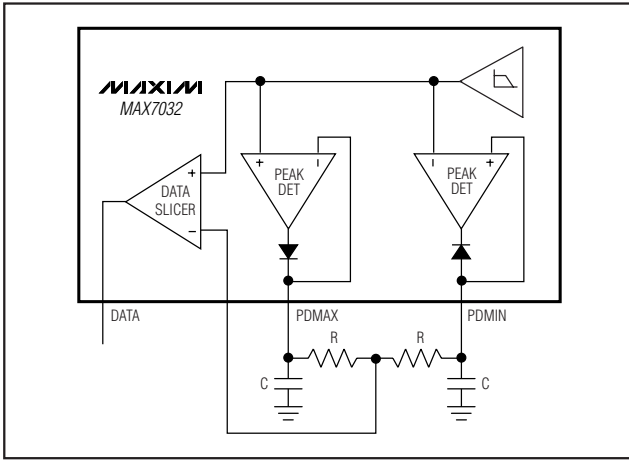


图4. 用峰值检波器产生数据限幅门限

使用最高和最低峰值检波器产生一个位于数据流最高和最低电平中点的数据限幅器门限（参考数据限幅器一节和图4）。峰值检波器网络的RC时间常数应至少设置为数据周期的5倍。

如果AGC增益切换或上电等突发事件使基带信号幅度产生显著变化，峰值检波器可以捕捉到错误电平。如果检测到错误的峰值，则限幅电平不正确。MAX7032具有峰值检波器跟踪使能控制（TRK_EN），可以复位峰值检波器的输出（参考图5）。如果TRK_EN被置位（逻辑1），最高和最低峰值检波器都将跟踪输入信号。当TRK_EN被置零（逻辑0），则峰值检波器恢复正常运行方式。当IC上电、从发送模式变为接收模式、从DRX模式的休眠中恢复，或不受位设置影响的AGC增益开关动作时，TRK_EN功能将临时自动打开。由于峰值检波器具有快速建立/缓慢衰减响应，所以支持非常快速的启动或AGC恢复。参见图6的快速恢复序列。除自动控制功能外，TRK_EN还可通过串口来控制（参见串行控制接口一节）。

发送器

功放 (PA)

MAX7032的功放是高效、漏极开路、C类放大器。功放与适当的输出匹配网络能驱动不同阻抗的天线，包括PCB环形天线或50Ω天线。与50Ω天线的输出匹配网络见典型应

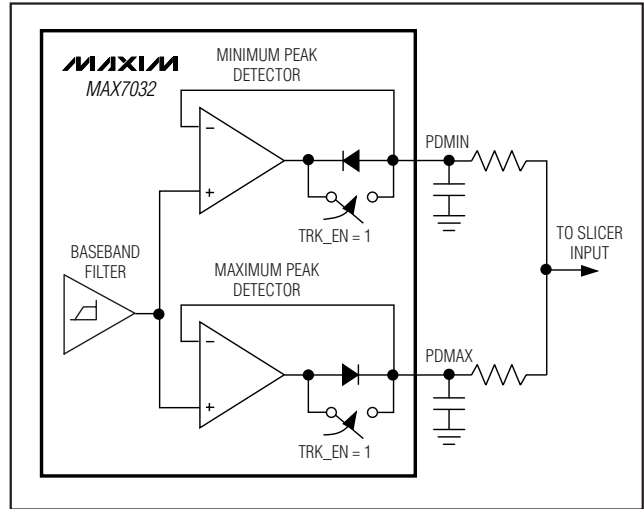


图5. 峰值检波器跟踪使能

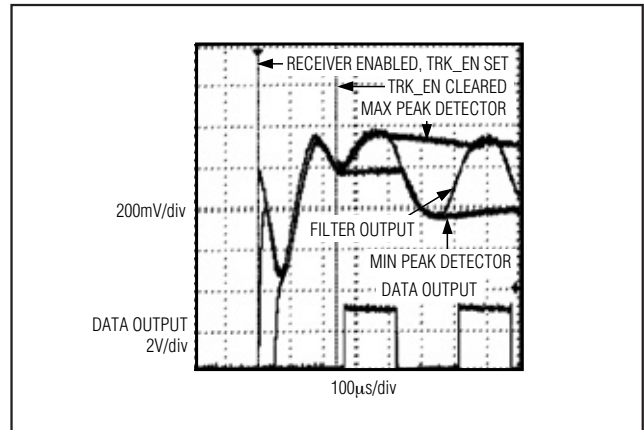


图6. FSK模式下使用峰值检波器时接收机快速恢复

用电路。输出匹配网络抑制载波谐波并将天线阻抗转换为PAOUT的最佳阻抗（引脚5）。PAOUT的最佳阻抗为250Ω。

当输出网络正确匹配时，PA发射总效率高达32%。功放本身的效率大于46%。输出功率由PAOUT处的外部电阻决定，也取决于外部天线和PA输出的天线匹配网络。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

包络调整

MAX7032 内部具有包络调整电阻，接在PA的漏极开路输出和电源之间（参见典型应用电路）。在ASK模式下包络调整电阻减缓了PA的通/断过程，使调制的PA输出信号有较小的频谱带宽。

分数N分频锁相环

MAX7032 用一个完全集成的分数N分频锁相环作为发射频率合成器。所有的锁相环元件，包括环路滤波器，都在芯片内部。环路带宽大约为200kHz。16位分数N分频架构支持以 $f_{XTAL} / 4096$ 的步长调整发射频率。如此精细的频率调整可将发射频率设置在接收频率的2kHz以内，使得使用单个晶振成为可能。

分数N分频结构还支持对FSK频偏的精确编程，完全消除了使用晶振牵引产生频偏带来的问题。

锁相环PLL分频系数的整数和分数部分决定发射频率。下面的例子给出了如何计算 f_{XTAL} ，以及如何正确计算加载到寄存器TxLOW（寄存器0x0D和0x0E）和TxHIGH（寄存器0x0F和0x10）的值：

假定接收机/ASK的发射频率 = 315MHz，IF = 10.7MHz：

$$f_{XTAL} = \frac{(f_{RF} - 10.7)}{24} = 12.67917\text{MHz}$$

并且

$$\frac{f_{RF}}{f_{XTAL}} = 24.8439 = \text{发射PLL分频器系数}$$

由于发射PLL分频器的固有特性，设置MAX7032的发射频率寄存器时，必须从锁相环分频器分频系数中减去数值为16的固定偏移。MAX7032发射频率寄存器编程值由下式计算，将十进制计算结果转换为最接近的十六进制整数：

$$\left(\frac{f_{RF}}{f_{XTAL}} - 16 \right) \times 4096 = \text{设置发射频率寄存器的十进制值}$$

在这个例子中，取整的十进制数是36,225，或十六进制的8D81。高字节（8D）装入寄存器0x0D，低字节（81）装入寄存器0x0E。

在FSK模式，发射频率等于装入MAX7032发射频率寄存器的高频或低频。计算高频如上所示。ASK模式发射频率等于装入MAX7032发射频率寄存器的低频。

电源

MAX7032可由2.1V至3.6V电源供电，也可由4.5V至5.5V电源供电。如果使用4.5V至5.5V电源，芯片内的线性稳压器会把5V输入变为芯片工作需要的3V。

如果MAX7032在3V电源下工作，PAV_{DD}、AV_{DD}、DV_{DD}和HV_{IN}连接到3V电源。使用5V电源时，HV_{IN}接电源，把AV_{DD}、PAV_{DD}和DV_{DD}连在一起。在这两种情况下，DV_{DD}、PAV_{DD}和HV_{IN}通过0.01μF和220pF电容旁路到地，AV_{DD}通过0.1μF和220pF电容旁路至地。T/R、ENABLE、DATA、CS、DIO和SCLK通过10pF的电容旁路至地。所有旁路电容尽可能靠近相应引脚。

发送/接收天线开关

MAX7032 内置SPST RF开关，通过使用一些外部元件，允许发送和接收引脚共用一个天线（参见典型应用电路）。在接收模式，开关打开，功放关闭，呈现高阻以使LNA负载减到最小。在发送模式，开关闭合，在PA输出端形成一个谐振槽路，在LNA输入端RF短路。在这种模式下，外部的无源器件将PA输出耦合到天线，并避免LNA输入受较强发射信号的影响。

开关状态由外部的数字输入或T/R位（配置寄存器0第6位）控制，T/R引脚为高电平时器件进入发送模式；T/R引脚为低电平时器件进入接收模式。

低成本、基于晶体的可编程ASK/FSK收发器，带有分数N分频PLL

晶体振荡器 (XTAL)

MAX7032的XTAL振荡器在XTAL1和XTAL2引脚之间呈现约3pF的电容。在大多数情况下，加上PCB的寄生效应，相当于加到外部晶体上4.5pF的负载电容。所选择的晶体负载电容应等于MAX7032晶体振荡器电容加PCB的寄生电容，这一点很重要。如果晶体的负载电容不能满足要求，那么晶振频率将偏离标称工作频率，造成参考时钟频率误差。使用更高负载电容的晶体时，参考时钟频率会增大。

实际中，晶体总会受振荡器牵引。因此，晶体固有频率会低于规定频率。但如果负载电容满足要求，晶体会被牵引到指定频率。在规定晶体负载电容时已考虑了这种牵引。

如果晶体相关参数已知，额外的牵引可以计算出来。牵引频率由下式计算：

$$f_P = \frac{C_m}{2} \left(\frac{1}{C_{CASE} + C_{LOAD}} - \frac{1}{C_{CASE} + C_{SPEC}} \right) \times 10^6$$

其中：

f_P 为晶体牵引频率的ppm值。

C_m 为晶体的动态电容。

C_{CASE} 为外壳电容。

C_{SPEC} 为规定负载电容。

C_{LOAD} 为实际负载电容。

当晶体负载电容满足规定要求，即： $C_{LOAD} = C_{SPEC}$ ，牵引频率为0。

串行控制接口

通信协议

MAX7032通过3线接口编程。数据输入必须遵循图7、8、9所示的时序。

注意当 \overline{CS} 为高电平时，DIO线必须保持低电平，防止DRX位为高时，MAX7032进入非连续接收模式。数据在SCLK的上升沿锁存，因此必须在上升沿之前稳定。数据序列从MSB开始，依次为命令(C[1:0]参见表2)、寄存器地址(A[5:0]参见表3)和数据(D[7:0]参见表4)。

表2. 命令位

C[1:0]	DESCRIPTION
0x0	No operation
0x1	Write data
0x2	Read data
0x3	Master reset

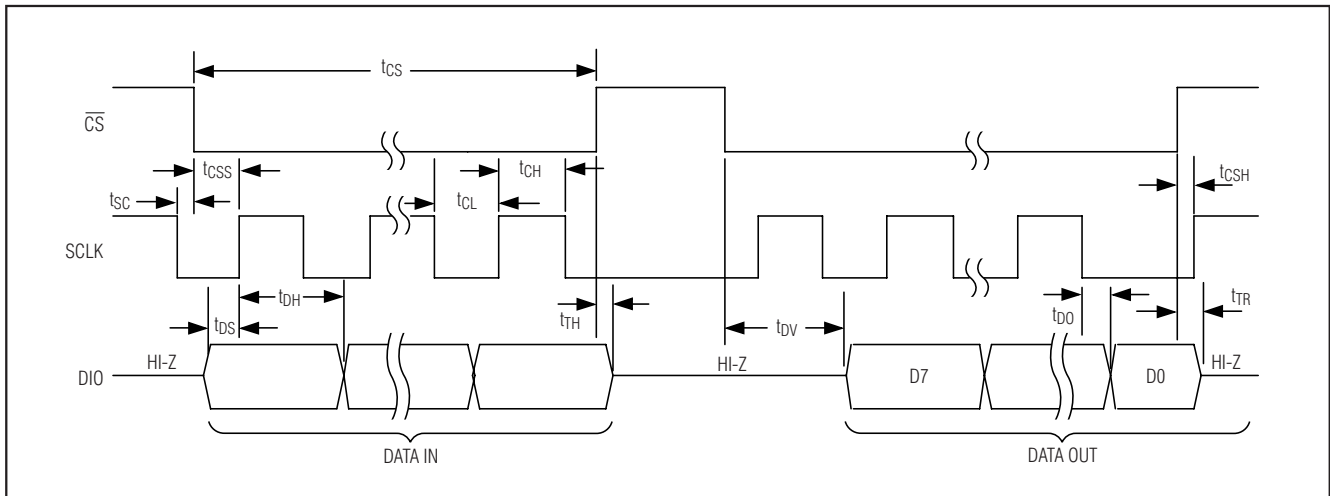


图7. 串行接口时序

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

表3. 寄存器汇总

REGISTER A[5:0]	REGISTER NAME	DESCRIPTION
0x00	Power configuration	Enables/disables the LNA, AGC, mixer, baseband, peak detectors, PA, and RSSI output (see Table 5).
0x01	Control	Controls AGC lock, gain state, peak-detector tracking, polling timer and FSK calibration, clock signal output, and sleep mode (see Table 6).
0x02	Configuration0	Sets options for modulation, TX/RX mode, manual-gain mode, discontinuous receive mode, off-timer and on-timer prescalers (see Table 7).
0x03	Configuration1	Sets options for automatic FSK calibration, clock output, output clock divider ratio, AGC dwell timer (see Tables 8, 10, 11, and 12).
0x05	Oscillator frequency	Sets the internal clock frequency divisor. This register must be set to the integer result of $f_{XTAL} / 100\text{kHz}$ (see the <i>Oscillator Frequency Register</i> section).
0x06	Off timer— t_{OFF} (upper byte)	Sets the duration that the MAX7032 remains in low-power mode when DRX is active (see Table 12).
0x07	Off timer— t_{OFF} (lower byte)	
0x08	CPU recovery timer— t_{CPU}	Increases maximum time the MAX7032 stays in lower power mode while CPU wakes up when DRX is active (see Table 13).
0x09	RF settling timer— t_{RF} (upper byte)	During the time set by the RF settling timer, the MAX7032 is powered on with the peak detectors and the data outputs disabled to allow time for the RF section to settle. DIO must be driven low at any time during $t_{LOW} = t_{CPU} + t_{RF} + t_{ON}$ or the timer sequence restarts (see Table 14).
0x0A	RF settling timer— t_{RF} (lower byte)	
0x0B	On timer— t_{ON} (upper byte)	Sets the duration that the MAX7032 remains in active mode when DRX is active (see Table 15).
0x0C	On timer— t_{ON} (lower byte)	
0x0D	Transmitter low-frequency setting—TxLOW (upper byte)	Sets the low frequency (FSK) of the transmitter or the carrier frequency of ASK for the fractional-N synthesizer.
0x0E	Transmitter low-frequency setting—TxLOW (lower byte)	
0x0F	Transmitter high-frequency setting—TxHIGH (upper byte)	Sets the high frequency (FSK) of the transmitter for the fractional-N synthesizer.
0x10	Transmitter high-frequency setting—TxHIGH (lower byte)	
0x1A	Status register (read only)	Provides status for PLL lock, AGC state, crystal operation, polling timer, and FSK calibration (see Table 9).

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

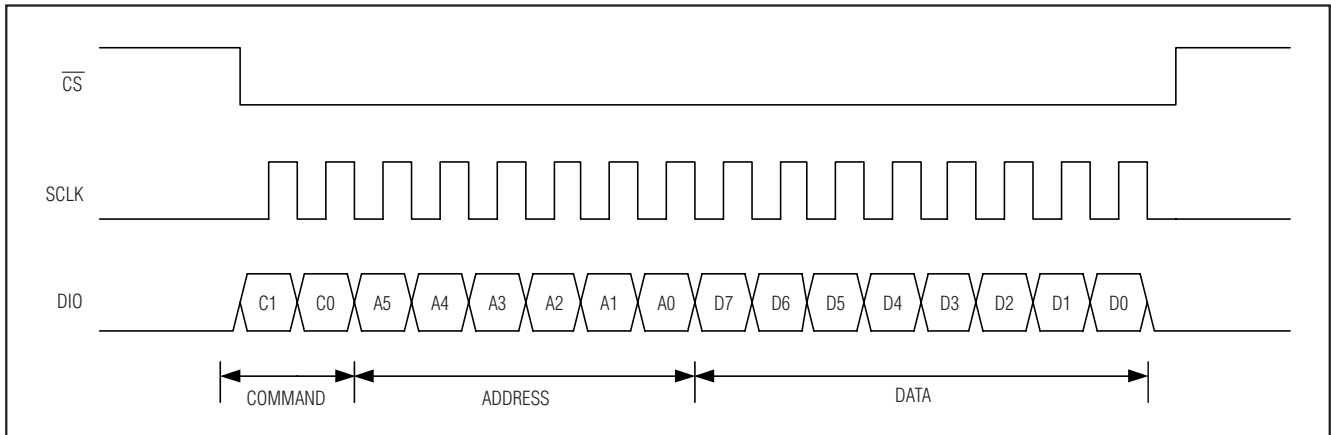


图8. 数据输入时序

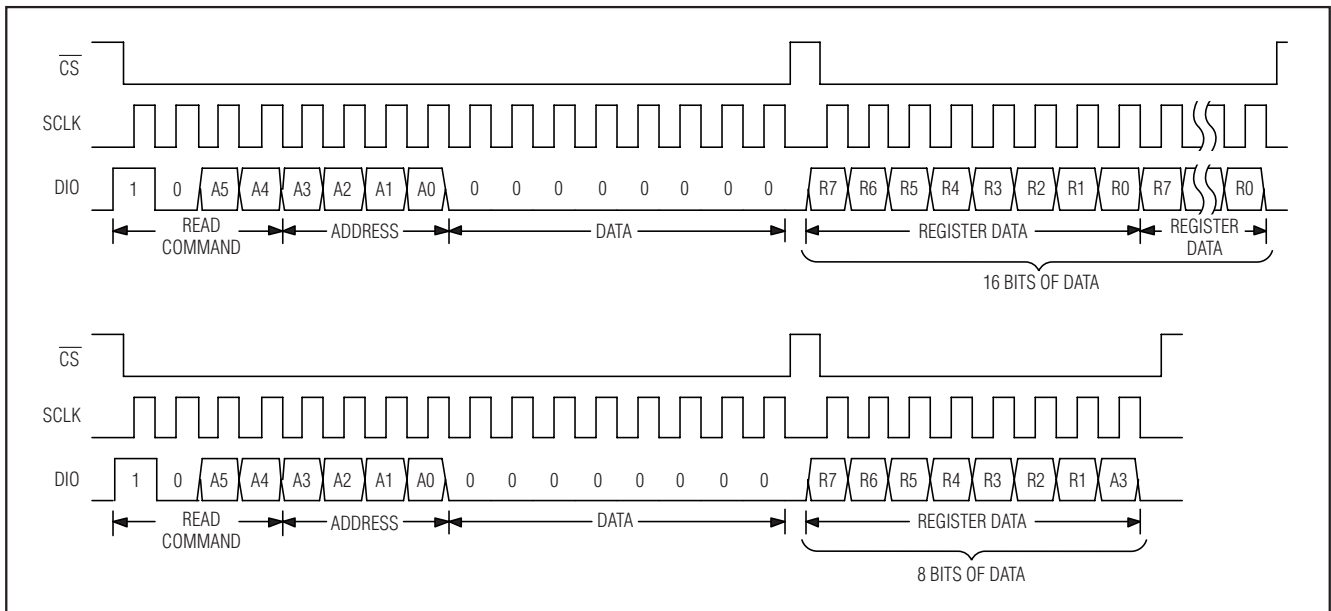


图9. 3线串行接口的读命令

接收一个读命令后，下一个 \overline{CS} 周期DIO用作MAX7032输出。CPU必须在读命令后的 \overline{CS} 周期把DIO线置为三态，这样MAX7032可以驱动数据输出线。图9所示为3线接口。注意，用户可发送16周期或8周期的SCLK，因为全部寄存器都是8位宽度。在读序列结束时，用户必须拉低DIO。

MASTER RESET命令 (0x3) (参见表2) 发送一个复位信号给MAX7032的所有内部寄存器，类似于断电再上电。命令发送后只要 \overline{CS} 为高电平，复位信号就保持有效。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

表4. 寄存器配置

NAME (ADDRESS)	DATA							
	D7	D6	D5	D4	D3	D2	D1	D0
POWER[7:0] (0x00)	LNA	AGC	MIXER	BaseB	PkDet	PA	RSSIO	X
CONTRL[7:0] (0x01)	AGCLK	GAIN	TRK_EN	—	PCAL	FCAL	CKOUT	SLEEP
CONF0[7:0] (0x02)	Mode	T/R	MGAIN	DRX	OFPS1	OFPS0	ONPS1	ONPS0
CONF1[7:0] (0x03)	—	ACAL	CLKOF	CDIV1	CDIV0	DT2	DT1	DT0
OSC[7:0] (0x05)	OSC7	OSC6	OSC5	OSC4	OSC3	OSC2	OSC1	OSC0
tOFF[15:8] (0x06)	tOFF 15	tOFF 14	tOFF 13	tOFF 12	tOFF 11	tOFF 10	tOFF 9	tOFF 8
tOFF [7:0] (0x07)	tOFF 7	tOFF 6	tOFF 5	tOFF 4	tOFF 3	tOFF 2	tOFF 1	tOFF 0
tCPU[7:0] (0x08)	tCPU 7	tCPU 6	tCPU 5	tCPU 4	tCPU 3	tCPU 2	tCPU 1	tCPU 0
tRF[15:8] (0x09)	tRF 15	tRF 14	tRF 13	tRF 12	tRF 11	tRF 10	tRF 9	tRF 8
tRF [7:0] (0x0A)	tRF 7	tRF 6	tRF 5	tRF 4	tRF 3	tRF 2	tRF 1	tRF 0
tON[15:8] (0x0B)	tON 15	tON 14	tON 13	tON 12	tON 11	tON 10	tON 9	tON 8
tON [7:0] (0x0C)	tON 7	tON 6	tON 5	tON 4	tON 3	tON 2	tON 1	tON 0
TxLOW[15:8] (0x0D)	TxL15	TxL14	TxL13	TxL12	TxL11	TxL10	TxL9	TxL8
TxLOW[7:0] (0x0E)	TxL7	TxL6	TxL5	TxL4	TxL3	TxL2	TxL1	TxL0
TxHIGH[15:8] (0x0F)	TxH15	TxH14	TxH13	TxH12	TxH11	TxH10	TxH9	TxH8
TxHIGH[7:0] (0x10)	TxH7	TxH6	TxH5	TxH4	TxH3	TxH2	TxH1	TxH0
STATUS[7:0] (0x1A)	LCKD	GAINS	CLKON	0	0	0	PCALD	FCALD

连续接收模式 (DRX = 0)

在连续接收模式下，独立的模拟模块能够通过电源配置寄存器 (寄存器0x00) 直接上电。SLEEP位 (寄存器0x01的第0位)置位时电源配置寄存器无效，器件进入深度休眠模式。还需设置振荡器寄存器 (寄存器0x05) 中的外部晶体分频系数来优化镜频抑制，并使能轮询定时器和FSK解调器的精确校准序列。该值为 $f_{XTAL} / 100kHz$ 的取整结果。

如果选择FSK接收功能，在工作前需执行一次FSK校准；否则，解调器会饱和。轮询定时器校准不是必需的。更多信息参见校准部分。

非连续接收模式 (DRX = 1)

在非连续接收模式 (DRX = 1)，MAX7032电源寄存器 (0x00) 设为逻辑1，接收模块根据内部定时器 t_{OFF} 、 t_{CPU} 、 t_{RF} 和 t_{ON} 在OFF和ON间切换。同时还要设置振荡器寄存

器 (寄存器0x05) 的外部晶体分频系数，该值是 $f_{XTAL} / 100kHz$ 的取整结果。在第一次进入非连续接收模式前，需要校准定时器 (参见校准部分)。

MAX7032用一系列内部定时器 (t_{OFF} 、 t_{CPU} 、 t_{RF} 和 t_{ON}) 来控制它的上电顺序。当 \overline{CS} 和DIO为高时，定时器序列开启。MAX7032在DIO引脚处具有内部上拉，所以用户必须在 \overline{CS} 为高电平时，使DIO进入三态。

在 t_{OFF} 期间外部处理器可进入休眠模式。DIO上从高到低的跃变，或DIO上的低电平可作为CPU的唤醒信号，CPU必须在 t_{LOW} 终止之前的 ($t_{CPU} + t_{RF} + t_{ON}$) 启动唤醒程序，将DIO驱动为低电平。一旦 t_{RF} 终止且 t_{ON} 有效，MAX7032使能数据输出。CPU需要分析接收数据时必须保持DIO为低电平。 t_{ON} 终止之后释放DIO可以使MAX7032拉高DIO，重新启动 t_{OFF} 定时器。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

表5. 电源配置寄存器 (地址: 0x00)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
LNA	LNA enable	7	1 = Enable LNA 0 = Disable LNA
AGC	AGC enable	6	1 = Enable AGC 0 = Disable AGC
MIXER	Mixer enable	5	1 = Enable mixer 0 = Disable mixer
BaseB	Baseband enable	4	1 = Enable baseband 0 = Disable baseband
PkDet	Peak-detector enable	3	1 = Enable peak detector 0 = Disable peak detector
PA	Transmitter PA enable	2	1 = Enable PA 0 = Disable PA
RSSIO	RSSI amplifier enable	1	1 = Enable buffer 0 = Disable buffer
X	None	0	Not used

表6. 控制寄存器 (地址: 0x01)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
AGCLK	AGC locking feature	7	1 = Enable AGC lock 0 = Disable AGC lock
GAIN	Gain state	6	1 = Force manual high-gain state if MGAIN = 1 0 = Force manual low-gain state if MGAIN = 1
TRK_EN	Manual peak-detector tracking	5	1 = Force manual peak-detector tracking 0 = Release peak-detector tracking
X	None	4	Not used
PCAL	Polling timer calibration	3	1 = Perform polling timer calibration Automatically reset to zero once calibration is completed
FCAL	FSK calibration	2	1 = Perform FSK calibration Automatically reset to zero once calibration is completed
CKOUT	Crystal clock output enable	1	1 = Enable crystal clock output 0 = Disable crystal clock output
SLEEP	Sleep mode	0	1 = Deep-sleep mode, regardless the state of ENABLE pin 0 = Normal operation

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

MAX7032

表7. 配置寄存器0 (地址: 0x02)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
MODE	FSK or ASK modulation	7	1 = Enable FSK for both receive and transmit 0 = Enable ASK for both receive and transmit
T/R	Transmit or receive	6	1 = Enable transmit mode of the transceiver, regardless the state of pin T/R 0 = Enable receive mode of the transceiver when pin T/R = 0
MGAIN	Manual gain mode	5	1 = Enable manual-gain mode 0 = Disable manual-gain mode
DRX	Discontinuous receive mode	4	1 = Enable DRX 0 = Disable DRX
OFPS1	Off-timer prescaler	3	Sets the time base for the off timer (see the <i>Off Timer</i> section)
OFPS0	Off-timer prescaler	2	
ONPS1	On-timer prescaler	1	Sets the time base for the on timer (see the <i>On Timer</i> section)
ONPS0	On-timer prescaler	0	

表8. 配置寄存器1 (地址: 0x03)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
X	None	7	Not used
ACAL	Automatic FSK calibration	6	1 = Enable automatic FSK calibration approximately once every 60s 0 = Disable automatic FSK calibration
CLKOF	Continuous clock output (even during t_{OFF} or when EN pin is low)	5	1 = Enable continuous clock output when CKOUT = 1 0 = Continuous clock output; if CKOUT = 1, clock output is active during T_{ON} (DRX mode) or when EN pin is high (continuous receive mode)
CDIV1	Crystal divider	4	CLKOUT crystal-divider MSB
CDIV0	Crystal divider	3	CLKOUT crystal-divider LSB
DT2	AGC dwell timer	2	AGC dwell timer MSB
DT1	AGC dwell timer	1	AGC dwell timer
DT0	AGC dwell timer	0	AGC dwell timer LSB

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

表9. 状态寄存器 (只读) (地址: 0x1A)

BIT ID	BIT NAME	BIT LOCATION (0 = LSB)	FUNCTION
LCKD	Lock detect	7	1 = Internal PLL is locked 0 = Internal PLL is not locked so the MAX7032 does not receive or transmit data
GAINS	AGC gain state	6	1 = LNA in high-gain state 0 = LNA in low-gain state
CLKON	Clock/crystal alive	5	1 = Valid clock at crystal inputs 0 = No valid clock signal seen at the crystal inputs
X	None	4	Zero
X	None	3	Zero
X	None	2	Zero
PCALD	Polling timer calibration done	1	1 = Polling timer calibration is completed 0 = Polling timer calibration is in progress or not completed
FCALD	FSK calibration done	0	1 = FSK calibration is completed 0 = FSK calibration is in progress or not completed

表10. 时钟输出分频比设置

CKOUT	CDIV1	CDIV0	CLOCKOUT FREQUENCY
0	X	X	Disabled at logic 0
1	0	0	f_{XTAL}
1	0	1	$f_{XTAL} / 2$
1	1	0	$f_{XTAL} / 4$
1	1	1	$f_{XTAL} / 8$

振荡器频率寄存器 (地址0x05)

MAX7032的内部分频器将晶体频率分频到100kHz。MAX7032使用该100kHz的时钟信号进行自我校准，并设置镜频抑制频率。写入振荡器频率寄存器的16进制数是最接近 $f_{XTAL} / 100kHz$ 的整数。

例如，如果接收数据是315MHz，晶体频率为12.67917MHz。晶体频率除以100kHz，最接近的整数为127，或16进制的0x7F。因此在315MHz，0x7F写入振荡器频率寄存器。

AGC保持定时器 (地址0x03)

AGC保持定时器在接收功率低于AGC切换门限后，仍将AGC保持一定时间的低增益状态。如果该时间后接收功率仍低于AGC门限，则LNA进入高增益状态。这对于ASK来说非常重要，因为调制数据的高电平高于门限，低电平低于门限，如没有保持定时器，AGC会在每一位进行切换。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

AGC保持时间受晶振频率和AGC保持定时器设置的影响。可用下式计算保持时间：

$$\text{保持时间} = \frac{2^K}{f_{XTAL}}$$

其中K是9至23之间的十进制奇数；参见表11。

可用下式计算K值，取比计算结果大的最接近的奇数：

$$K \geq 3.3 \times \log_{10}(\text{保持时间} \times f_{XTAL})$$

对于曼彻斯特码 (50% 占空比)，保持时间至少应设置为位周期的两倍。对于NRZ数据，保持时间应设置为大于1或0数字串的最长周期。例如，采用曼彻斯特码，在315MHz ($f_{XTAL} = 12.679\text{MHz}$)、信息速率为4kbps (位周期 = 125 μs) 时，保持时间需大于250 μs ：

$$K \geq 3.3 \times \log_{10}(250\mu\text{s} \times 12.679\text{MHz}) \approx 11.553$$

选择比 11.553 大的最接近的奇数，即 K = 13 作为寄存器的值。AGC 保持定时器上电或复位缺省值为 0 (K = 9)。

表 11. AGC 驻留定时器配置 (地址 0x03)

DT2	DT1	DT0	DESCRIPTION
0	0	0	K = 9
0	0	1	K = 11
0	1	0	K = 13
0	1	1	K = 15
1	0	0	K = 17
1	0	1	K = 19
1	1	0	K = 21
1	1	1	K = 23

表 12. 关断定时器 (t_{OFF}) 配置

OFPS1	OFPS0	t_{OFF} TIME BASE	MIN t_{OFF} REG 0x06 = 0x00; REG 0x07 = 0x01	MAX t_{OFF} REG 0x06 = 0xFF; REG 0x07 = 0xFF
0	0	120 μs	120 μs	7.86s
0	1	480 μs	480 μs	31.46s
1	0	1920 μs	1.92ms	2 min 6s
1	1	7680 μs	7.68ms	8 min 23s

校准

MAX7032 在非连续接收模式或接收 FSK 信号时，必须通过校准来确保关断定时器的准确时序。校准的第一步是确保正确设置了振荡器频率寄存器 (寄存器 0x05) 的分频值 (参见振荡器频率寄存器部分)。然后，使能混频器来打开晶体驱动器。

通过设置控制寄存器 (寄存器 0x01, 位 3) PCAL = 1 来校准轮询定时器。完成后状态寄存器 PCALD 位 (寄存器 0x1A, 位 1) 为 1, PCAL 位复位为 0。如果 MAX7032 工作在连续接收模式，轮询定时器无需校准。

通过设置 FCAL = 1 来校准 FSK 接收器。完成后状态寄存器 (寄存器 0x08) 的 FCALD 位为 1, FCAL 位复位为 0。

在连续接收模式和接收 FSK 数据时，如果温度和电源电压出现较大变化，需要重新校准 FSK 接收器。自动校准功能电路每分钟执行一次校准 (ACAL 位, 表 8)。在非连续接收模式，轮询定时器和 FSK 接收器 (如果使能) 在每一个唤醒周期都将自动校准。

关断定时器 (t_{OFF})

关断定时器， t_{OFF} (参见图 10)，是 16 位定时器，利用寄存器 0x06 设置高字节，寄存器 0x07 设置低字节，还需要设置配置寄存器 0 的 OFPS1 和 OFPS0 位 (寄存器 0x02 的位 3 和位 2)。表 12 总结了 OFF 定时器配置。OFPS1 和 OFPS0 位设置可能的最短定时 (t_{OFF} 时基)。写入 t_{OFF} 寄存器 (寄存器 0x06 和寄存器 0x07) 的数据乘以时基后是总的 t_{OFF} 时间。参见下面的例子。在上电时，外部定时器寄存器复位为 0，在使用 DRX 模式前必须进行设置。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

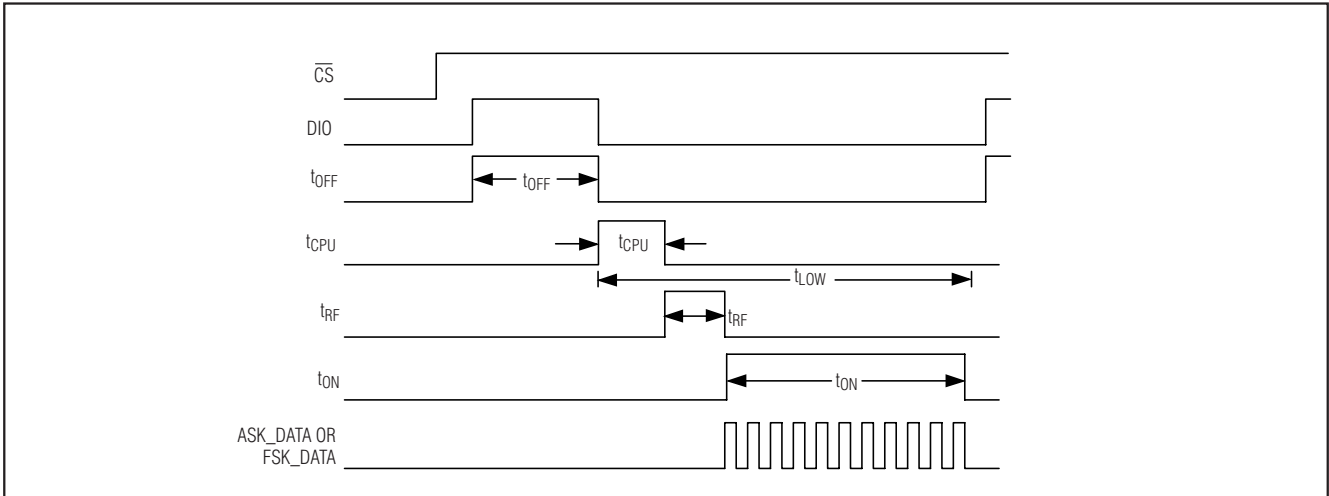


图10. MAX7032的DRX模式时序

OFPS1为1，OFPS0设为1， t_{OFF} 时间基准（1 LSB）为7680 μs 。设置REG 0x06和REG 0x07为FFFF，即十进制的65535。因此，总的 t_{OFF} 为：

$$t_{OFF} = 7680\mu\text{s} \times 65535 = 8分23秒$$

在 t_{OFF} 期间，MAX7032的工作电流非常低（典型为23.4 μA ），它全部的模块除了 t_{OFF} 定时器本身以外都关闭。在 t_{OFF} 结束时，MAX7032通过将DIO拉低来通知用户。

CPU恢复定时器 (t_{CPU})

CPU恢复定时器， t_{CPU} （参见图10）用于延迟MAX7032的上电，从而降低功耗，并给CPU足够的时间完成自身上电。在 t_{OFF} 结束时，DIO电平被MAX7032拉低，通知CPU开始上电。之后DIO被MAX7032保持低电平时， t_{CPU} 开始计数。在 t_{CPU} 结束时， t_{RF} 开始计数。

t_{CPU} 是一个8位定时器，通过寄存器0x08来配置。表13总结了可能的 t_{CPU} 设置。写入 t_{CPU} 寄存器（寄存器0x08）的数据乘以120 μs 为总的 t_{CPU} 时间。参见下面的例子。上电时CPU定时器寄存器复位为0，在使用DRX模式前必须进行设置。

REG 0x08设置为16进制FF，即10进制的255。因此，总的 t_{CPU} 为：

$$t_{CPU} = 120\mu\text{s} \times 255 = 30.6\text{ms}$$

RF稳定定时器 (t_{RF})

RF稳定定时器， t_{RF} （参见图10），允许MAX7032的RF部分在接收ASK或FSK数据前达到稳定状态。一旦 t_{CPU} 结束， t_{RF} 开始计数。在 t_{RF} 开始时，电源控制寄存器（寄存器0x00）选择的模块全部上电，峰值检波器处于跟踪模式，经过 t_{RF} 后稳定。

t_{RF} 是一个16位定时器，通过寄存器0x09（高字节）和寄存器0x0A（低字节）配置。可能的 t_{RF} 设置列在表14中。写入 t_{RF} 寄存器（寄存器0x09和寄存器0x0A）的值乘以120 μs 为总的 t_{RF} 时间。参见CPU恢复定时器（ t_{CPU} ）部分的例子。上电时RF定时器寄存器复位为0，在使用DRX模式前必须进行设置。

表13. CPU恢复定时器 (t_{CPU}) 配置

TIME BASE (μs)	MIN t_{CPU} REG 0x08 = 0x01 (μs)	MAX t_{CPU} REG 0x08 = 0xFF (ms)
120	120	30.6

表14. RF稳定定时器 (t_{RF}) 配置

t_{RF} TIME BASE (μs)	MIN t_{RF} REG 0x09 = 0x00 REG 0x0A = 0x01 (μs)	MAX t_{RF} REG 0x09 = 0xFF REG 0x0A = 0xFF (s)
120	120	7.86

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

表 15. 开启定时器 (t_{ON}) 配置

ONPS1	ONPS0	t_{ON} TIME BASE	MIN t_{ON} REG 0x0B = 0x00 REG 0x0C = 0x01	MAX t_{ON} REG 0x0B = 0xFF REG 0x0C = 0xFF
0	0	120 μ s	120 μ s	7.86s
0	1	480 μ s	480 μ s	31.46s
1	0	1920 μ s	1.92 μ s	2 min 6s
1	1	7680 μ s	7.68 μ s	8 min 23s

开启定时器 (t_{ON})

开启定时器， t_{ON} (参见图 10)，为 16 位定时器，通过寄存器 0x0B 配置高字节，寄存器 0x0C 配置低字节 (表 15)。该定时器提供了另一种控制接收器开启时间的方式。

CPU 必须在 $t_{LOW} = t_{CPU} + t_{RF} + t_{ON}$ 期间设置 DIO 为低电平。如果 CPU 在 t_{ON} 结束时仍没有设置 DIO 为低电平，DIO 将通过内部的上拉电阻被拉高，时序重新开始，MAX7032 关断。当 DRX = 1 时，任何时间 DIO 线路被置为高电平，触发 DRX 序列，如图 10 所示。如果在 t_{ON} 结束后 CPU 仍在处理数据，CPU 应通过保持 DIO 线为低电平来保持 MAX7032 唤醒。

写入 t_{ON} 寄存器的数据 (寄存器 0x0B 和寄存器 0x0C) 乘以 t_{ON} 时基为总的 t_{ON} 时间。参见关断定时器 (t_{OFF}) 部分的例子。接通电源时，使能寄存器被重置为 0 而且必须在使用 DRX 模式前被写入。

发送器低频寄存器 ($TxLOW$)

在 FSK 模式， $TxLOW$ 寄存器设置低发射频率的分数 N 合成器分频信息。参见分数 N 分频 PLL 部分给出的例子。在 ASK 模式下， $TxLOW$ 决定载波频率。

发送器高频寄存器 ($TxHIGH$)

在 FSK 模式， $TxHIGH$ 寄存器设置高发射频率分数 N 合成器的分频信息。在 ASK 模式下 $TxHIGH$ 不被使用。16 位的寄存器中是 2 进制表示的 TX PLL 分频器分频系数，在分数 N PLL 部分已给出了相应的例子。

应用信息

输出与 50 Ω 匹配

当与 50 Ω 的系统匹配时，MAX7032 的 PA 在 $V_{DD} = +2.7V$ 时能够输出 +10dBm 功率。PA 输出是漏极开路的晶体管，它需要外部阻抗匹配和提供正确偏置的上拉电感。从 PA 到 PAV_{DD} 的上拉电感有三个作用：与 PA 输出电容谐振，为 PA 提供偏置，提供高频扼流以防止 RF 能量耦合到 V_{DD} 。此网络还组成了一个带通滤波器以抑制高次谐波。

输出与 PCB 环形天线匹配

在多数应用中，MAX7032 必须与一个小的环形天线匹配。这种天线通常是 PCB 上的长方形、圆形或方形铜线。天线具有由损耗元件和辐射元件组成的阻抗。为提高辐射效率，辐射部分必须尽可能的高，同时把损耗减到最小。另外，环形天线具有固有的环路电感 (假定天线端接到地)。例如，在一个典型的应用中，辐射阻抗小于 0.5 Ω ，损耗阻抗小于 0.7 Ω ，电感大约 50nH 到 100nH。

布板要求

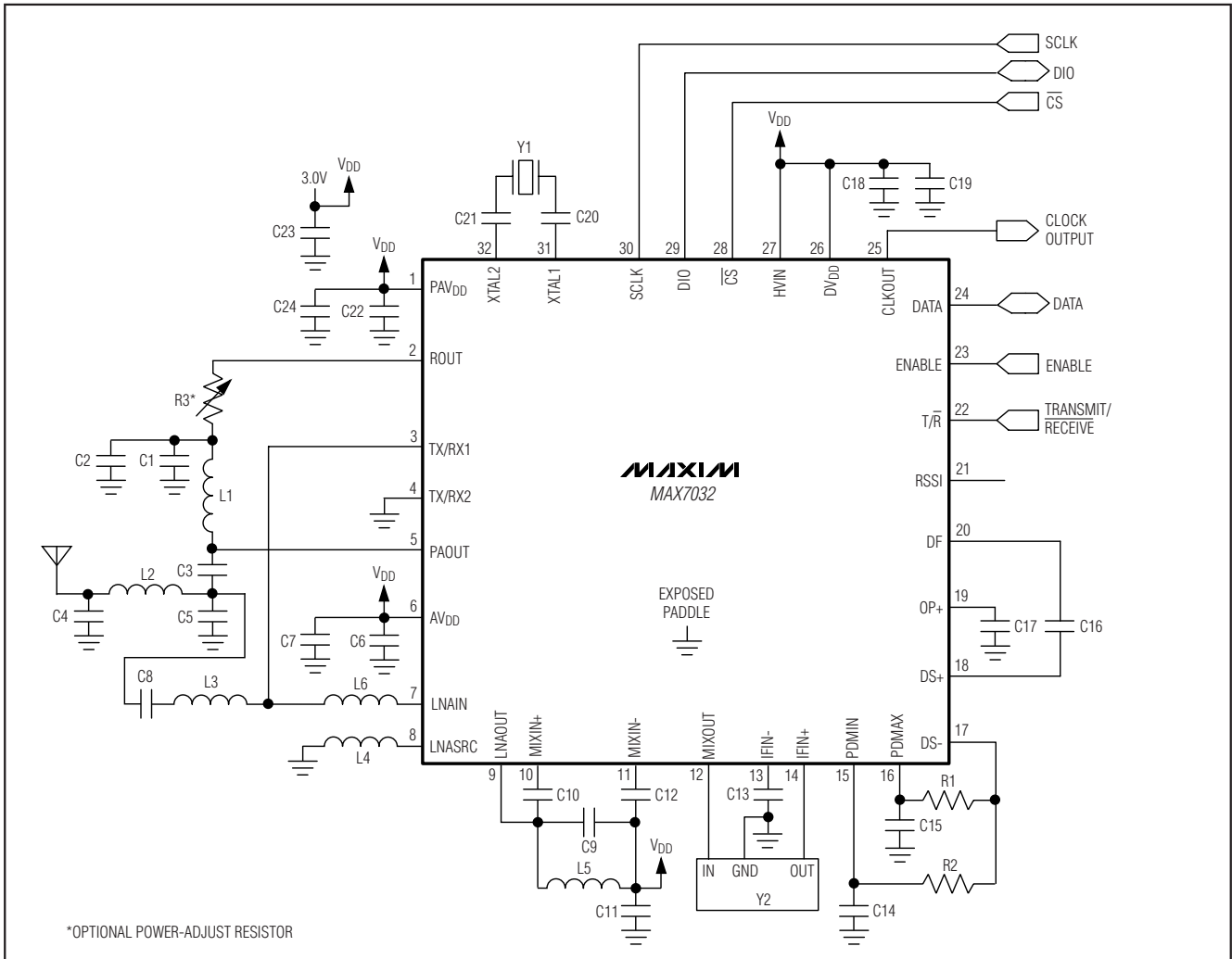
正确的 PCB 设计是任何一个射频/微波电路的基本要求。在高频输入输出端，采用阻抗受控走线并要尽可能短，以使损耗和辐射减到最小。在高频，长度约为 $\lambda / 10$ 或更长的走线可作为天线，其中 λ 是波长。

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

短走线还能减少寄生电感。通常，一英寸的PCB走线大概增加20nH的寄生电感。寄生电感对无源器件的等效电感有显著影响。例如，0.5英寸走线连接在100nH的电感会额外增加10nH或10%的电感值。

为减少寄生电感，使用宽走线，并在信号线下面布放地层或电源层。同样，对地平面采用低电感连接，尽可能靠近所有的 V_{DD} 引脚和 HV_{IN} 放置去耦电容。

典型应用电路



低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

MAX7032

表 16. 典型应用电路的元件值

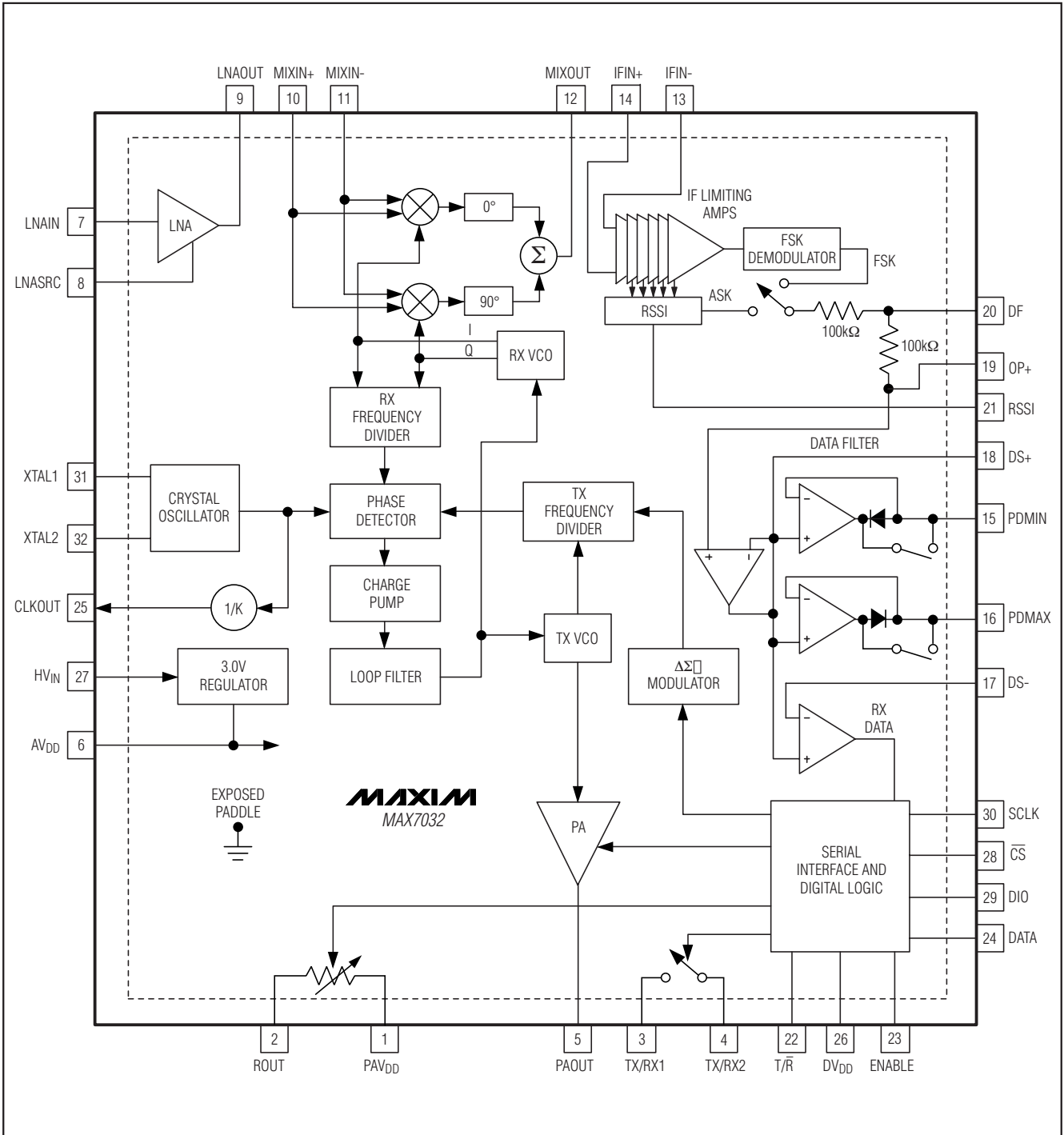
COMPONENT	VALUE FOR 433.92MHz RF	VALUE FOR 315MHz RF	DESCRIPTION
C1	220pF	220pF	10%
C2	680pF	680pF	10%
C3	6.8pF	12pF	5%
C4	6.8pF	10pF	5%
C5	10pF	22pF	5%
C6	220pF	220pF	10%
C7	0.1μF	0.1μF	10%
C8	100pF	100pF	5%
C9	1.8pF	2.7pF	±0.1pF
C10	100pF	100pF	5%
C11	220pF	220pF	10%
C12	100pF	100pF	5%
C13	1500pF	1500pF	10%
C14	0.047μF	0.047μF	10%
C15	0.047μF	0.047μF	10%
C16	470pF	470pF	10%
C17	220pF	220pF	10%
C18	220pF	220pF	10%
C19	0.01μF	0.01μF	10%
C20	100pF	100pF	5%
C21	100pF	100pF	5%
C22	220pF	220pF	10%
C23	0.01μF	0.01μF	10%
C24	0.01μF	0.01μF	10%
L1	22nH	27nH	Coilcraft 0603CS
L2	22nH	30nH	Coilcraft 0603CS
L3	22nH	30nH	Coilcraft 0603CS
L4	10nH	12nH	Coilcraft 0603CS
L5	16nH	30nH	Murata LQW18A
L6	68nH	100nH	Coilcraft 0603CS
R1	100kΩ	100kΩ	5%
R2	100kΩ	100kΩ	5%
R3	0Ω	0Ω	—
Y1	17.63416MHz	12.67917MHz	Crystal, 4.5pF load capacitance
Y2	10.7MHz ceramic filter	10.7MHz ceramic filter	Murata SFECV10.7 series

注意：元件值受PCB的布板影响

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

MAX7032

原理图

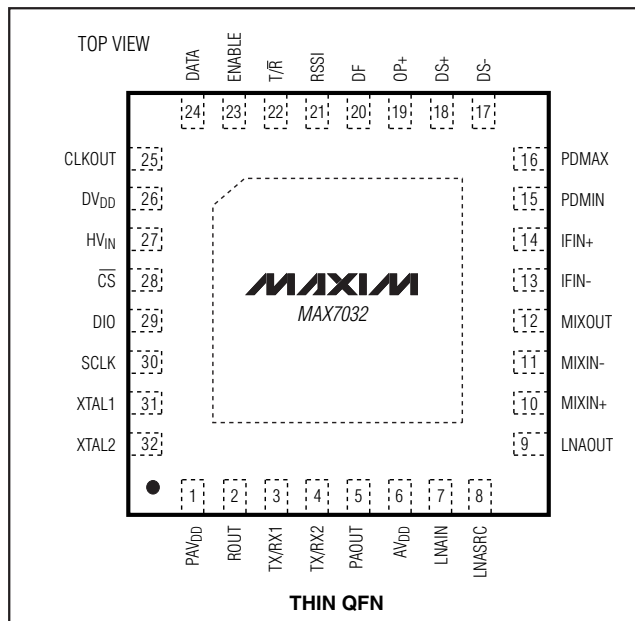


低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

引脚配置

芯片信息

PROCESS: CMOS

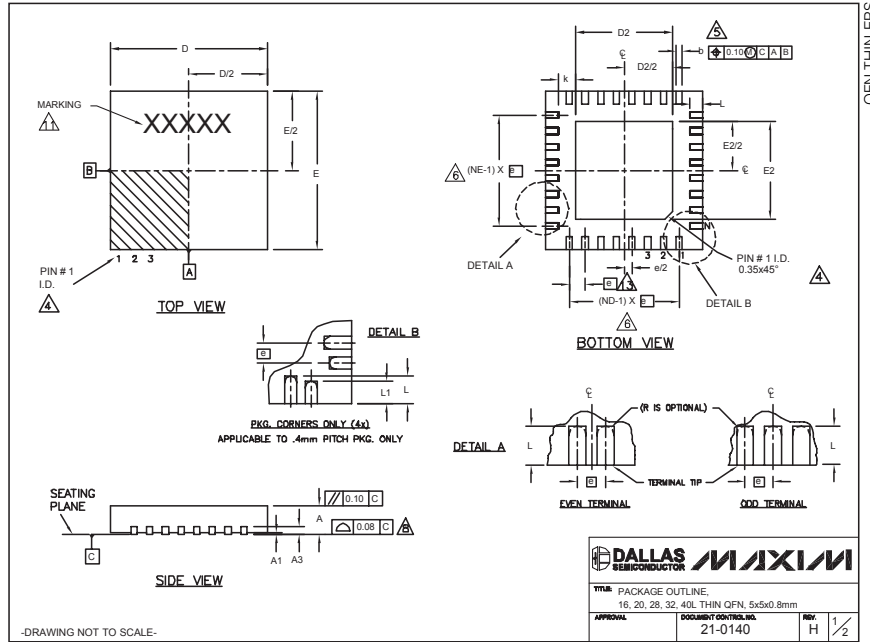


MAX7032

低成本、基于晶体的可编程ASK/FSK收发器， 带有分数N分频PLL

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages.)



COMMON DIMENSIONS												
PKG.	16L 5x5		20L 5x5		28L 5x5		32L 5x5		40L 5x5			
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A3	0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.		0.20 REF.			
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.		0.65 BSC.		0.50 BSC.		0.50 BSC.		0.40 BSC.			
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	0.35	0.45
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
L1	-	-	-	-	-	-	-	-	-	0.30	0.40	0.50
N	16		20		28		32		40			
ND	4		5		7		8		10			
NE	4		5		7		8		10			
JEDEC	WHHB		WHHC		WHHD-1		WHHD-2		-----			

EXPOSED PAD VARIATIONS												
PKG. CODES	D2			E2			L	DOWN BOND ALLOWED				
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.						
T1655-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35	0.40	YES				
T2855-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T2855-2	2.60	2.70	2.80	2.60	2.70	2.80	**	NO				
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35	**	YES				
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80	**	YES				
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80	**	NO				
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80	**	YES				
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35	0.40	YES				
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO				
T3255-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES				
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO				
T4055-1	3.20	3.30	3.40	3.20	3.30	3.40	**	YES				

** SEE COMMON DIMENSIONS TABLE

DALLAS SEMICONDUCTOR MAXIM
TYPICAL PACKAGE OUTLINE:
16, 20, 28, 32, 40L THIN QFN, 5x5x0.8mm
APPROVAL: 21-0140, REV: H, 2/2

-DRAWING NOT TO SCALE-

- NOTES:
- DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
 - ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
 - N IS THE TOTAL NUMBER OF TERMINALS.
- △ THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JEDEC 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
- △ DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
- △ ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
- △ COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-1, T2855-3, AND T2855-6.
- △ WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.
- △ LEAD CENTERLINES TO BE AT TRUE POSITION AS DEFINED BY BASIC DIMENSION "b", ±0.05.

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

32 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 408-737-7600**