

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

### 概述

MAX8553为4.5V至28V输入、同步降压型控制器，为DDR存储器提供完整的电源管理方案。MAX8553为VTT和VTTR提供 $1/2 V_{REFIN}$ 电压。VTT和VTTR跟踪电压保持在1%的 $1/2 V_{REFIN}$ 范围内。MAX8554为4.5V至28V输入、非跟踪降压型控制器，具有极低的0.6V反馈门限电压。MAX8553/MAX8554采用Maxim专有的Quick-PWM™结构，以提供快速的瞬态响应并工作于可选的伪固定频率。这两个控制器工作时无须外部偏置电源。

该类控制器工作于同步整流模式，以保证高达25A的平衡源出电流和吸流能力。MAX8553/MAX8554能够提供高达95%的效率，非常适合服务器和负载点应用。另外，极低的5 $\mu$ A关断电流使笔记本电脑应用中的电池寿命更长。无损耗电流监测是通过监视低端MOSFET的漏源电压实现的。MAX8553/MAX8554具有可调的折返电流限制，以承受连续的输出过载和短路。数字式软启动提供上电时对浪涌电流的控制。过压保护关断转换器并将输出电容放电。MAX8553/MAX8554采用节省空间的16引脚QSOP封装。

### 应用

宽输入电源  
服务器和存储系统应用  
ASIC和CPU核电源  
笔记本和LCD-PC电源  
DDR I和DDR II存储器电源  
AGTL总线端接电源

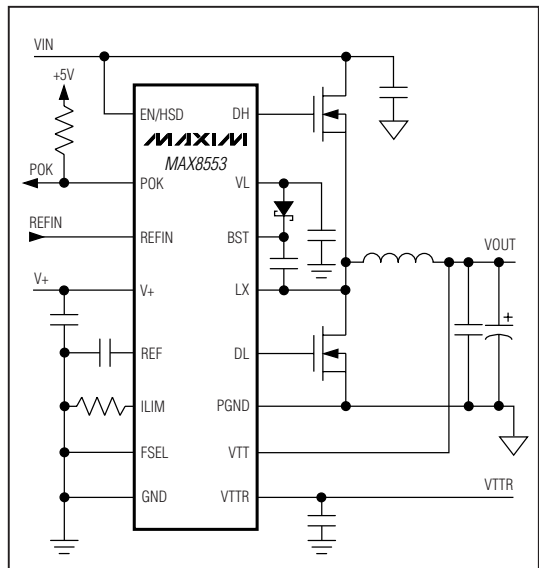
### 订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX8553EEE	-40°C to +85°C	16 QSOP
MAX8554EEE	-40°C to +85°C	16 QSOP

### 特性

- ◆ 高达25A的输出电流能力
- ◆ Quick-PWM控制结构提供快速的环路响应
- ◆ 高达95%的效率
- ◆ 4.5V至28V输入电压范围
- ◆ 无需外部偏置电源
- ◆ 0至3.6V输入REFIN电压范围 (MAX8553)
- ◆ 自动设置VTT和VTTR至 $\pm 1\%$ 精度的 $1/2 V_{REFIN}$  (MAX8553)
- ◆ 极低的0.6V反馈门限电压 (MAX8554)
- ◆ 200kHz/300kHz/400kHz/550kHz可选开关频率
- ◆ 可调的折返电流限制
- ◆ 过压保护
- ◆ 数字软启动

### 典型工作电路



引脚配置在本数据手册的末尾部分。

Quick-PWM是Maxim Integrated Products, Inc.的商标

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

## ABSOLUTE MAXIMUM RATINGS

V+, EN/HSD, EN, HSD to GND.....	-0.3V to +30V	REF Short Circuit to GND.....	Continuous
PGND to GND.....	-0.3V to +0.3V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
VTT, REFIN, POK, OUT, FB, VL to GND.....	-0.3V to +6V	16-Pin QSOP (derated 8.3mW/°C above +70°C) .....	.667mW
REF, VTTR, DL, ILIM, FSEL to GND.....	-0.3V to (V <sub>VL</sub> + 0.3V)	Operating Temperature Range .....	-40°C to +85°C
LX to PGND .....	-2V to +30V	Junction Temperature .....	+150°C
BST to GND.....	-0.3V to +36V	Storage Temperature Range .....	-65°C to +150°C
DH to LX.....	-0.3V to +6V	Lead Temperature (soldering, 10s).....	+300°C
LX to BST.....	-6V to +0.3V		

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>V+</sub> = V<sub>HSD</sub> = +12V, V<sub>EN/HSD</sub> = V<sub>REFIN</sub> = +2.5V, V<sub>EN</sub> = +5V, C<sub>VL</sub> = 4.7μF, C<sub>VTTR</sub> = 1μF, C<sub>REF</sub> = 0.22μF, V<sub>FSEL</sub> = 0V, ILIM = VL, PGND = LX = GND, BST = VL, T<sub>A</sub> = 0°C to +85°C. Typical values are at T<sub>A</sub> = +25°C, unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V+ Input Voltage Range	VL not connected to V+	6		28	V
V+ Input Voltage Range	VL connected to V+	4.5		5.5	V
EN/HSD Input Voltage Range	MAX8553 enabled	1.5		28.0	V
EN Input Voltage Range	MAX8554 enabled	1.5		28.0	V
EN Input Current			2	3	μA
HSD Input Voltage Range	MAX8554 enabled	1.5		28.0	V
HSD Input Current			20	40	μA
REFIN Input Voltage Range		0		3.6	V
V+ Supply Current (MAX8553)	V <sub>VTT</sub> = +1.35V		0.8	1.2	mA
V+ Supply Current (MAX8554)	V <sub>FB</sub> = 630mV		0.62	0.90	mA
REFIN Supply Current			125	250	μA
EN/HSD Supply Current			5	10	μA
VL Supply Current	V <sub>VL</sub> = V <sub>V+</sub> = 5.5V, V <sub>VTT</sub> = +1.35V		0.8	1.2	mA
V+ Shutdown Supply Current	EN/HSD = GND		3	5	μA
REFIN Shutdown Supply Current	EN/HSD = GND			1	μA
VL Shutdown Supply Current	V <sub>VL</sub> = V <sub>V+</sub> = +5.5V, V <sub>EN/HSD</sub> = 0V		5	12	μA
VL Undervoltage-Lockout Threshold	Rising edge, typical hysteresis = 40mV	4.05	4.25	4.40	V
<b>VTT</b>					
VTT Input Bias Current	V <sub>VTT</sub> = +1.25V	-0.15		0	μA
VTT Feedback Voltage Range		0		1.8	V
VTT Feedback Voltage Accuracy	V <sub>REFIN</sub> = V <sub>EN/HSD</sub> = +1.8V	49.5	50	50.5	% V <sub>REFIN</sub>
	V <sub>REFIN</sub> = V <sub>EN/HSD</sub> = +3.6V	49.5	50	50.5	
FB Input Bias Current	MAX8554, V <sub>FB</sub> = +600mV	-0.15		0	μA

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0V$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = GND$ ,  $BST = V_L$ ,  $T_A = 0^\circ C$  to  $+85^\circ C$ . Typical values are at  $T_A = +25^\circ C$ , unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS	
FB Regulation Voltage	MAX8554, $V_{OUT} = +2.5V$ , FSEL unconnected	0.598	0.607	0.616	V	
Output Adjust Range	MAX8554 (Note 1)	0.6		3.5	V	
VTT Line Regulation	$V_{EN/HSD} \pm 10\%$ , $V_{VTT} = +1.25V$ , $I_{OUT} = 0A$		$\pm 0.325$		%	
FB Line Regulation	MAX8554, $V_{HSD} \pm 10\%$ , $V_{OUT} = +2.5V$ , $I_{OUT} = 0A$ , FSEL unconnected		$\pm 0.325$		%	
VTT Load Regulation	$0 < I_{OUT} < +7A$ , $V_{VTT} = +1.25V$		0.2		%	
FB Load Regulation	MAX8554, $0 < I_{OUT} < +7A$ , $V_{OUT} = +2.5V$ , FSEL unconnected		0.2		%	
<b>REFERENCE</b>						
Reference Output Voltage	$V_{V+} = V_{VL} = +4.5$ to $+5.5V$ , $I_{REF} = 0$	1.97	2.00	2.03	V	
Reference Load Regulation	$V_{V+} = V_{VL} = +5V$ , $I_{REF} = 0$ to $50\mu A$			10	mV	
Reference UVLO	$V_{V+} = V_{VL} = +5V$ , reference rising, hysteresis = $27mV$	1.5	1.6	1.7	V	
<b>VTTR</b>						
VTTR Output Voltage Range		0		1.8	V	
VTTR Output Accuracy	$I_{VTTR} = -5mA$ to $+5mA$	49.5	50	50.5	% $V_{REFIN}$	
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +1.8V$	49	50	51		
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +3.6V$	49.5	50	50.5		
Thermal Shutdown	Rising temperature, typical hysteresis = $15^\circ C$		+160		$^\circ C$	
<b>SOFT-START</b>						
ILIM Ramp Period	Ramps the ILIM trip threshold from 20% to 100% in 20% increments	0.8	1.7	3.0	ms	
Output Precharge Period	Rising edge of EN/HSD to the start of internal digital soft-start	0.8	1.7	3.0	ms	
<b>OSCILLATOR</b>						
Oscillator Frequency	FSEL = $V_L$		200		kHz	
	FSEL = unconnected		300			
	FSEL = REF		400			
	FSEL = GND		550			
On-Time	MAX8553, $V_{VTT} = +1.25V$ (Note 2)	FSEL = $V_L$	2.18	2.5	2.83	$\mu s$
		FSEL unconnected	1.45	1.67	1.89	
		FSEL = REF	1.09	1.25	1.41	
		FSEL = GND	0.82	0.91	1.00	
On-Time	MAX8554, $V_{OUT} = +2.5V$ (Note 2)	FSEL = $V_L$	0.89	1.02	1.16	$\mu s$
		FSEL unconnected	0.61	0.71	0.80	
		FSEL = REF	0.43	0.49	0.56	
		FSEL = GND	0.33	0.37	0.41	
Off-Time	(Note 2)		350	400	ns	

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

### ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0V$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = GND$ ,  $BST = V_L$ ,  $T_A = 0^\circ C$  to  $+85^\circ C$ . Typical values are at  $T_A = +25^\circ C$ , unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CURRENT LIMIT</b>					
Current-Limit Threshold (Positive Direction)	LX to PGND, ILIM = VL	80	100	115	mV
	LX to PGND, RILIM = 100k $\Omega$	35	50	65	
	LX to PGND, RILIM = 400k $\Omega$	160	200	230	
Current-Limit Threshold (Negative Direction)	LX to PGND, ILIM = VL, with respect to positive current-limit threshold	-130	-110	-90	%
ILIM Input Current			5		$\mu A$
<b>FAULT DETECTION</b>					
Overvoltage Threshold	MAX8553 ( $V_{REFIN} > +1V$ )	57	60	63	% $V_{REFIN}$
	MAX8553 ( $V_{REFIN} \leq +1V$ )	0.576	0.600	0.624	V
	MAX8554	0.696	0.720	0.744	
<b>VL REGULATOR</b>					
Output Voltage	+6V < $V_{V+}$ < +28V, 1mA < $I_{VL}$ < 35mA	4.80	5.0	5.33	V
Line Regulation	+6V < $V_{V+}$ < +28V, $I_{VL} = 10mA$		0.2		%
RMS Output Current				35	mA
Bypass Capacitor	ESR < 100m $\Omega$	2.2			$\mu F$
<b>DRIVER</b>					
DH Gate-Driver On-Resistance	$V_{BST} - V_{LX} = +5V$		1.4	2.5	$\Omega$
DL Gate-Driver On-Resistance (Source)	DL high state		1.6	3.0	$\Omega$
DL Gate-Driver On-Resistance (Sink)	DL low state		0.75	1.25	$\Omega$
Dead Time	DL rising		32		ns
	DL falling		30		
<b>FSEL LOGIC</b>					
Logic Input Current		-3		+3	$\mu A$
Logic Low (GND)				0.5	V
Logic REF Level	FSEL = REF	1.65		2.35	V
Logic Float Level	FSEL unconnected	3.15		3.85	V
Logic VL Level	FSEL = VL	$V_{VL} - 0.4$			V
<b>EN/HSD OR EN LOGIC</b>					
EN/HSD or EN Shutdown Current	Max $I_{EN/HSD}$ for $V_{EN/HSD} < +0.8V$ or $V_{EN} < +0.8V$	0.5		3.0	$\mu A$
Logic High	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$ , 100mV hysteresis	1.5			V
Logic Low	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$			0.8	V

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0V$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = GND$ ,  $BST = V_L$ ,  $T_A = 0^\circ C$  to  $+85^\circ C$ . Typical values are at  $T_A = +25^\circ C$ , unless otherwise specified.)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER-OK OUTPUT</b>					
Upper VTT and VTTR Threshold	MAX8553	55	56	57	% $V_{REFIN}$
Lower VTT and VTTR Threshold	MAX8553	43	44	45	% $V_{REFIN}$
Upper Threshold	MAX8554	0.646	0.672	0.698	V
Lower Threshold	MAX8554	0.504	0.528	0.552	V
POK Output Low Level	$I_{SINK} = 2mA$			0.4	V
POK Output High Leakage	$V_{POK} = +5V$			5	$\mu A$

## ELECTRICAL CHARACTERISTICS

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = POK = GND$ ,  $BST = V_L$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise specified.) (Note 3)

PARAMETER	CONDITIONS	MIN	MAX	UNITS
V+ Input Voltage Range	$V_L$ not connected to V+	6	28	V
V+ Input Voltage Range	$V_L$ connected to V+	4.5	5.5	V
EN/HSD Input Voltage Range	MAX8553 enabled	1.5	28.0	V
EN Input Voltage Range	MAX8554 enabled	1.5	28.0	V
EN Input Current			3	$\mu A$
HSD Input Voltage Range	MAX8554 enabled	1.5	28.0	V
HSD Input Current			40	$\mu A$
REFIN Input Voltage Range		0	3.6	V
V+ Supply Current (MAX8553)	$V_{VTT} = +1.35V$		1.2	mA
V+ Supply Current (MAX8554)	$V_{FB} = 630mV$		0.90	mA
REFIN Supply Current			250	$\mu A$
EN/HSD Supply Current			10	$\mu A$
$V_L$ Supply Current	$V_{VL} = V_{V+} = 5.5V$ , $V_{VTT} = +1.35V$		1.2	mA
V+ Shutdown Supply Current	EN/HSD = GND		5	$\mu A$
REFIN Shutdown Supply Current	EN/HSD = GND		1	$\mu A$
$V_L$ Shutdown Supply Current	$V_{VL} = V_{V+} = +5.5V$ , $V_{EN/HSD} = 0V$		12	$\mu A$
$V_L$ Undervoltage-Lockout Threshold	Rising edge, typical hysteresis = 40mV	4.05	4.40	V
<b>VTT</b>				
VTT Input Bias Current	$V_{VTT} = +1.25V$	-0.2	0	$\mu A$
VTT Feedback Voltage Range		0	1.8	V
VTT Feedback Voltage Accuracy	$V_{REFIN} = V_{EN/HSD} = +1.8V$	49.5	50.5	% $V_{REFIN}$
	$V_{REFIN} = V_{EN/HSD} = +3.6V$	49.5	50.5	
FB Input Bias Current	MAX8554, $V_{FB} = +600mV$	-0.2	0	$\mu A$
FB Regulation Voltage	MAX8554, $V_{OUT} = +2.5V$ , FSEL unconnected	0.598	0.616	V
Output Adjust Range	MAX8554 (Note 1)	0.6	3.5	V

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

### ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = POK = GND$ ,  $BST = V_L$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise specified.) (Note 3)

PARAMETER	CONDITIONS	MIN	MAX	UNITS	
<b>REFERENCE</b>					
Reference Output Voltage	$V_{V+} = V_{VL} = +4.5$ to $+5.5V$ , $I_{REF} = 0$	1.97	2.03	V	
Reference Load Regulation	$V_{V+} = V_{VL} = +5V$ , $I_{REF} = 0$ to $50\mu A$		10	mV	
Reference UVLO	$V_{V+} = V_{VL} = +5V$ , reference rising, hysteresis = $27mV$	1.5	1.7	V	
<b>VTTR</b>					
VTTR Output Voltage Range		0	1.8	V	
VTTR Output Accuracy	$I_{VTTR} = -5mA$ to $+5mA$	49.5	50.5	% $V_{REFIN}$	
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +1.8V$	49	51		
	$I_{VTTR} = -25mA$ to $+25mA$ , $V_{REFIN} = +3.6V$	49.5	50.5		
<b>SOFT-START</b>					
ILIM Ramp Period	Ramps the ILIM trip threshold from 20% to 100% in 20% increments	0.8	3.0	ms	
Output Predischarge Period	Rising edge of EN/HSD to the start of internal digital soft-start	0.8	3.0	ms	
<b>OSCILLATOR</b>					
On-Time	MAX8553, $V_{VT} = +1.25V$ (Note 2)	FSEL = VL	2.18	2.83	$\mu s$
		FSEL unconnected	1.45	1.89	
		FSEL = REF	1.09	1.41	
		FSEL = GND	0.82	1.00	
On-Time	MAX8554, $V_{OUT} = +2.5V$ (Note 2)	FSEL = VL	0.89	1.16	$\mu s$
		FSEL unconnected	0.61	0.80	
		FSEL = REF	0.43	0.56	
		FSEL = GND	0.33	0.41	
Off-Time	(Note 2)		420	ns	
<b>CURRENT LIMIT</b>					
Current-Limit Threshold (Positive Direction)	LX to PGND, $I_{LIM} = V_L$	80	115	mV	
	LX to PGND, $R_{ILIM} = 100k\Omega$	30	65		
	LX to PGND, $R_{ILIM} = 400k\Omega$	150	230		
Current-Limit Threshold (Negative Direction)	LX to PGND, $I_{LIM} = V_L$ , with respect to positive current-limit threshold	-130	-90	%	
ILIM Input Current				$\mu A$	
<b>FAULT DETECTION</b>					
Overvoltage Threshold	MAX8553 ( $V_{REFIN} > +1V$ )	57	63	%	
	MAX8553 ( $V_{REFIN} \leq +1V$ )	0.576	0.624	V	
	MAX8554	0.696	0.744		
<b>VL REGULATOR</b>					
Output Voltage	$+6V < V_{V+} < +28V$ , $1mA < I_{VL} < 35mA$	4.80	5.33	V	
RMS Output Current			35	mA	
Bypass Capacitor	ESR $< 100m\Omega$	2.2		$\mu F$	

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

MAX8553/MAX8554

## ELECTRICAL CHARACTERISTICS (continued)

( $V_{V+} = V_{HSD} = +12V$ ,  $V_{EN/HSD} = V_{REFIN} = +2.5V$ ,  $V_{EN} = +5V$ ,  $C_{VL} = 4.7\mu F$ ,  $C_{VTTR} = 1\mu F$ ,  $C_{REF} = 0.22\mu F$ ,  $V_{FSEL} = 0$ ,  $I_{LIM} = V_L$ ,  $PGND = LX = POK = GND$ ,  $BST = V_L$ ,  $T_A = -40^\circ C$  to  $+85^\circ C$ , unless otherwise specified.) (Note 3)

PARAMETER	CONDITIONS	MIN	MAX	UNITS
<b>DRIVER</b>				
DH Gate-Driver On-Resistance	$V_{BST} - V_{LX} = +5V$		2.5	$\Omega$
DL Gate-Driver On-Resistance (Source)	DL high state		3.0	$\Omega$
DL Gate-Driver On-Resistance (Sink)	DL low state		1.25	$\Omega$
<b>FSEL LOGIC</b>				
Logic Input Current		-3	+3	$\mu A$
Logic Low (GND)			0.5	V
Logic REF Level	FSEL = REF	1.65	2.35	V
Logic Float Level	FSEL unconnected	3.15	3.85	V
Logic VL Level	FSEL = VL	$V_{VL} - 0.4$		V
<b>EN/HSD OR EN LOGIC</b>				
EN/HSD or EN Shutdown Current	Max $I_{EN/HSD}$ for $V_{EN/HSD} < +0.8V$ or $V_{EN} < +0.8V$	0.5	3.0	$\mu A$
Logic High	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$ , 100mV hysteresis	1.5		V
Logic Low	$V_{VL} = V_{V+} = +4.5$ to $+5.5V$		0.8	V
<b>POWER-OK OUTPUT</b>				
Upper VTT, and VTTR Threshold	MAX8553	55	57	% $V_{REFIN}$
Lower VTT, and VTTR Threshold	MAX8553	43	45	% $V_{REFIN}$
Upper Threshold	MAX8554	0.646	0.698	V
Lower Threshold	MAX8554	0.504	0.552	V
POK Output Low Level	$I_{SINK} = 2mA$		0.4	V
POK Output High Leakage	$V_{POK} = +5V$		5	$\mu A$

**Note 1:** Consult factory for applications that require higher than 3.5V output.

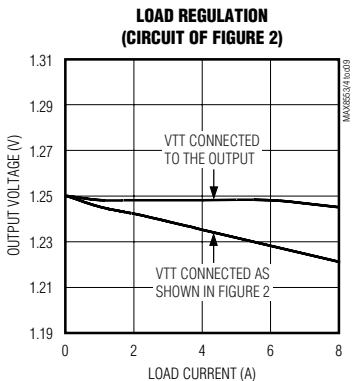
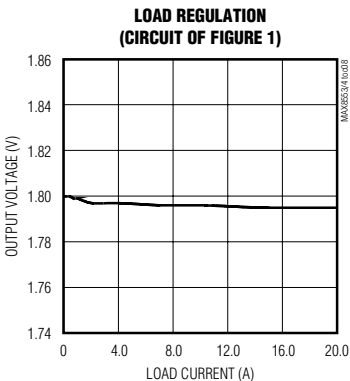
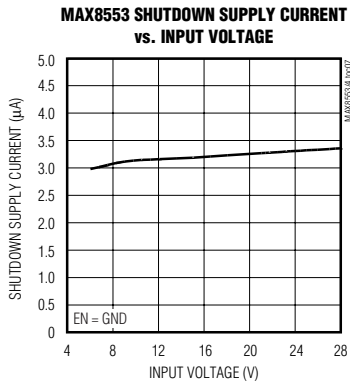
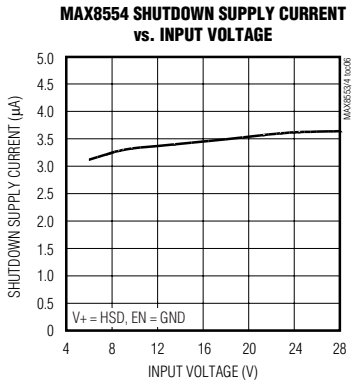
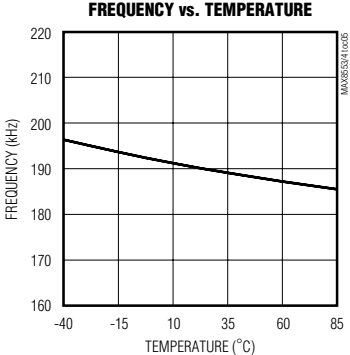
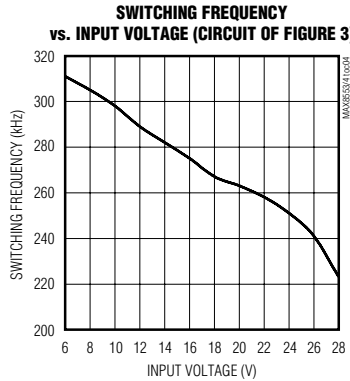
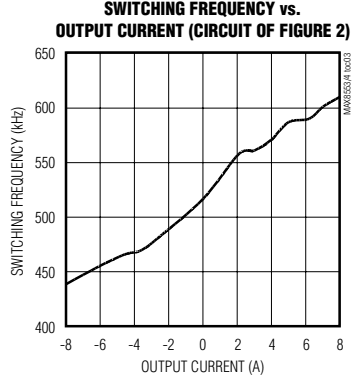
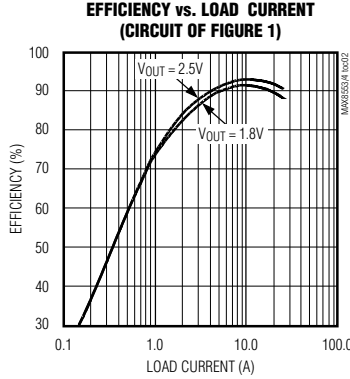
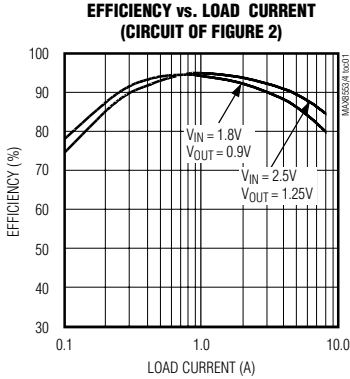
**Note 2:** On-time and off-time specifications are measured from 50% point to 50% point at the DH pin with LX forced to 0V, BST forced to 5V, and a 250pF capacitor connected from DH to LX. Actual in-circuit times may differ due to MOSFET switching speeds.

**Note 3:** Specifications to  $-40^\circ C$  are guaranteed by design and are not production tested.

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

典型工作特性

( $V_{V+} = 12V$ ,  $V_{OUT} = 1.8V$ , circuit of Figure 1,  $T_A = +25^\circ C$ , unless otherwise noted.)

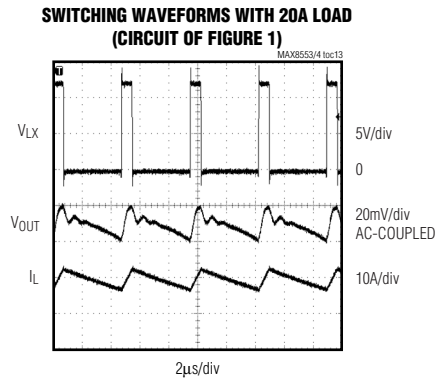
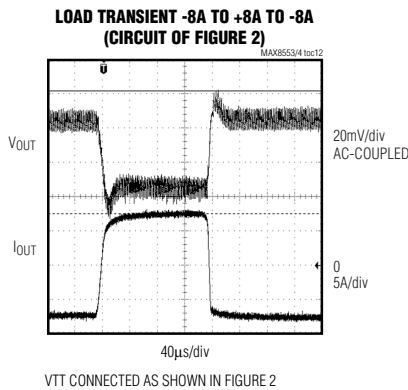
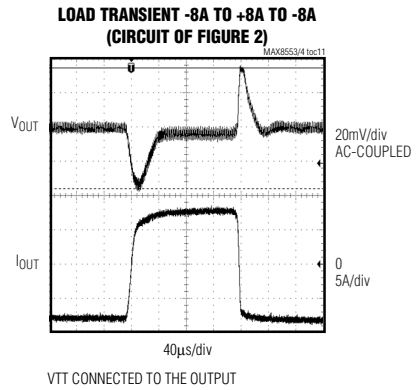
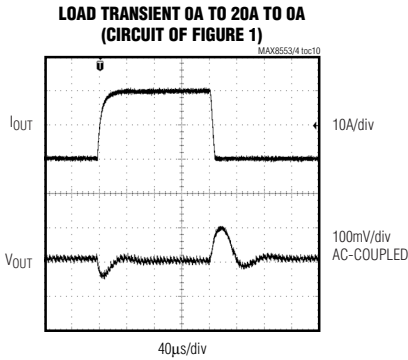




# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

典型工作特性 (续)

( $V_{V+} = 12V$ ,  $V_{OUT} = 1.8V$ , circuit of Figure 1,  $T_A = +25^\circ C$ , unless otherwise noted.)



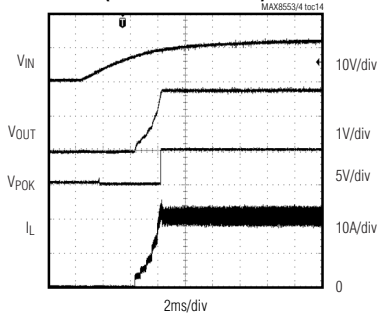
MAX8553/MAX8554

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

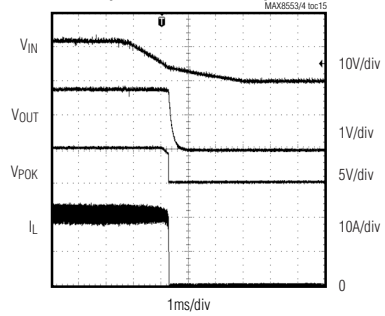
典型工作特性 (续)

(V<sub>V+</sub> = 12V, V<sub>OUT</sub> = 1.8V, circuit of Figure 1, T<sub>A</sub> = +25°C, unless otherwise noted.)

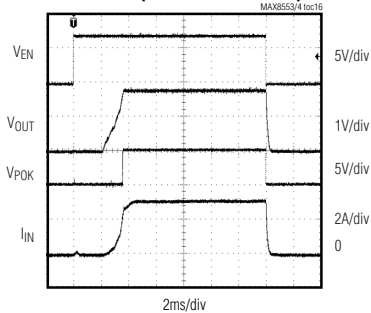
**POWER-UP WAVEFORMS WITH 20A LOAD  
(CIRCUIT OF FIGURE 1)**



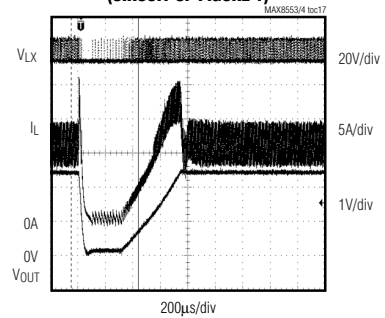
**POWER-DOWN WAVEFORMS WITH 20A LOAD  
(CIRCUIT OF FIGURE 1)**



**STARTUP/SHUTDOWN WAVEFORMS WITH  
20A LOAD (CIRCUIT OF FIGURE 1)**



**SHORT CIRCUIT AND RECOVERY  
(CIRCUIT OF FIGURE 1)**



# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

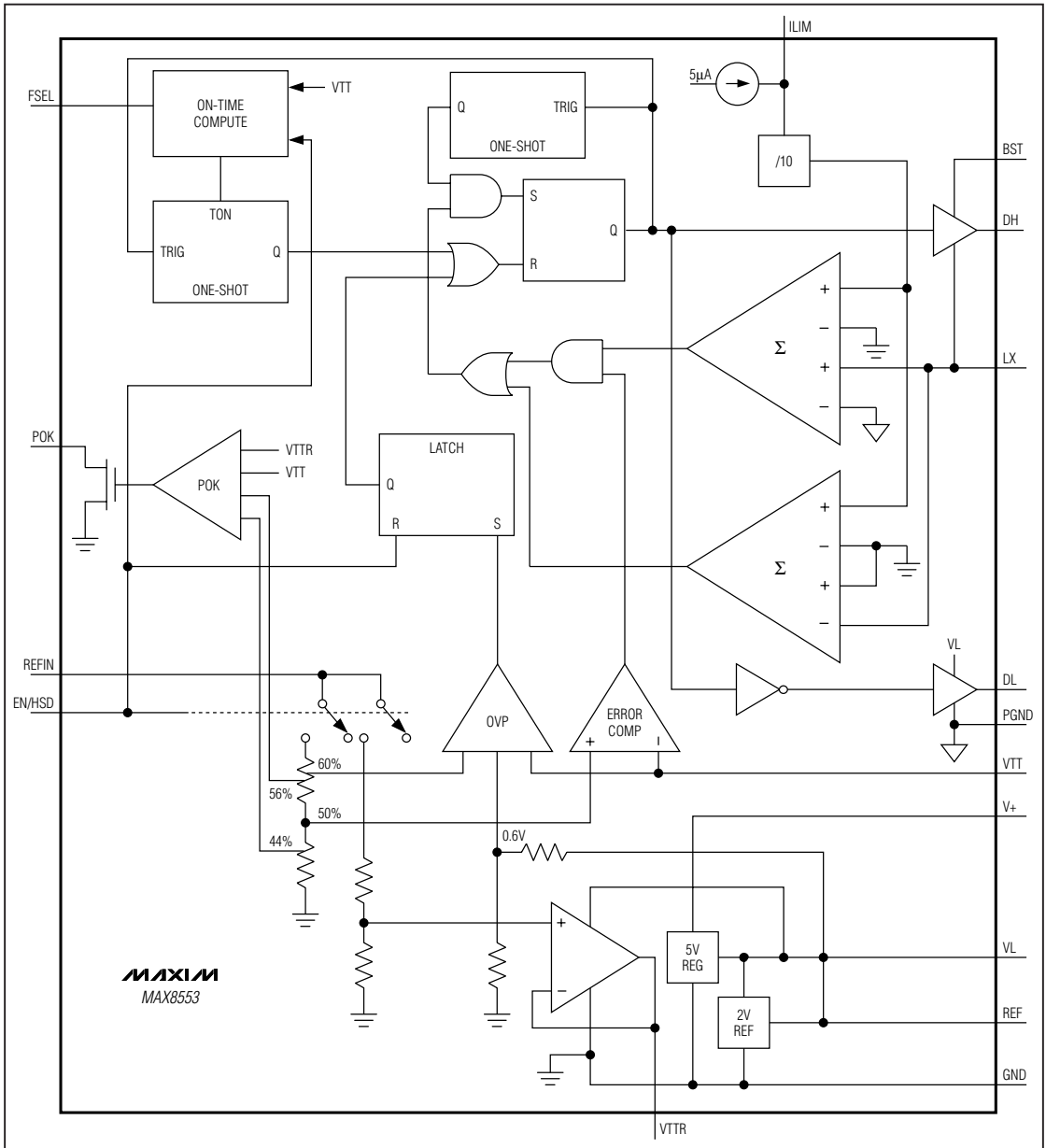
引脚说明

MAX8553/MAX8554

引脚	MAX8553	MAX8554	功能
1	EN/HSD	—	使能/高端漏极。通过一个5.1kΩ电阻连接到高端N沟道MOSFET的漏极，以进行正常操作。连接至GND，进入低功耗关断模式(图2)。如果不使用使能功能，将EN/HSD直连到高端N沟道MOSFET的漏极。
	—	HSD	高端漏极。正常工作模式下，连接至高端N沟道MOSFET的漏极。
2	REFIN	—	基准输入。REFIN电压可设置 $V_{VTT}$ 和 $V_{VTTR}$ 为 $1/2V_{REFIN}$ 。REFIN的电压范围为0至+3.6V。
	—	EN	使能输入。将EN拉高将允许输出。将EN拉低则关断芯片。如果不使用使能功能，将EN连接至V+。
3	POK	POK	电源就绪输出。POK是一个漏极开路输出，当VTT和VTTR电压都处在稳压值的12%范围内时，输出逻辑高电平。关断时POK被拉至低电平。
4	VTT	—	VTT反馈输入。连接至VTT的输出。
	—	FB	输出反馈。连接至输出和地之间的电阻分压器的中心抽头，以设置输出电压。FB的门限值为0.6V。
5	ILIM	ILIM	电流限制门限调节。在ILIM和GND之间连接一个电阻，以设置电流限制门限，或者将ILIM连接至VL，以采用缺省设置。参见“设置电流限制”部分。
6	FSEL	FSEL	频率选择。选择开关频率。参考表1和表2的FSEL配置。
7	REF	REF	基准。在REF和GND之间连接一个0.22μF或更大的电容。
8	GND	GND	地
9	VTTR	—	VTTR基准输出。在VTTR和GND之间连接一个1μF或者更大的电容。VTTR的源出和吸流能力高达25mA。
	—	OUT	输出电压。直接连接至输出。OUT检测输出电压，以决定高端MOSFET开关的导通时间。
10	V+	V+	输入电源电压。VL稳压器的电源输入。使用0.22μF或者更大的旁路电容。
11	VL	VL	内部稳压器输出。在VL和GND之间连接一个2.2μF或者更大的电容。如果工作范围为+4.5V至+5.5V，VL可以连接至V+。
12	DL	DL	低端MOSFET栅极驱动。连接至低端N沟道MOSFET的栅极。在关断或者欠压锁定时，DL为低电平。
13	PGND	PGND	功率地。
14	BST	BST	自举电源。驱动高端N沟道MOSFET。在BST和LX之间连接一个0.1μF或者更大的电容
15	DH	DH	高端MOSFET栅极驱动。连接至高端N沟道MOSFET的栅极。在关断或者欠压锁定时，DH为低电平。
16	LX	LX	电感开关节点

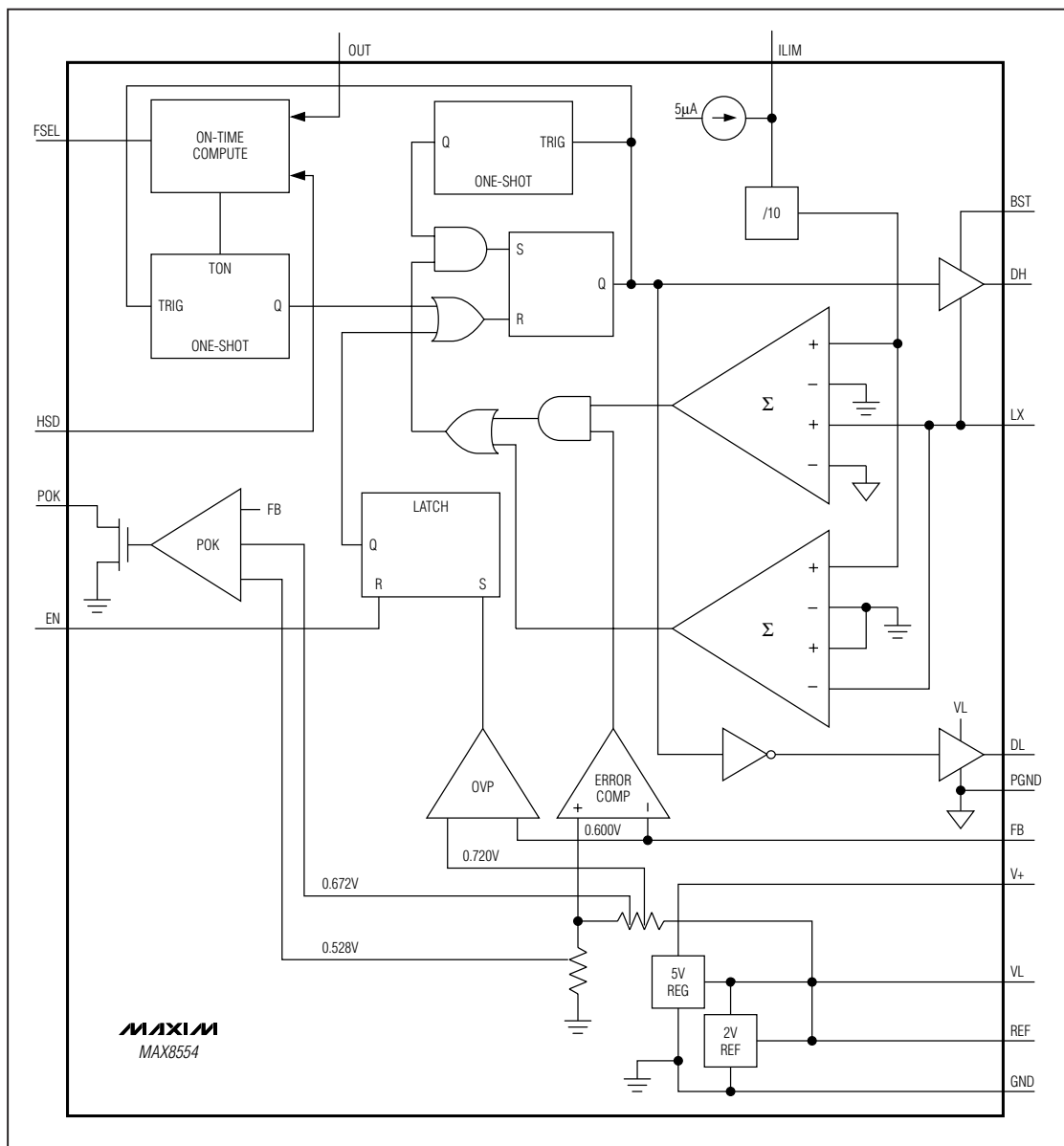
4.5V至28V输入、同步PWM降压控制器，  
适合于DDR端接以及负载点应用

功能框图



# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

功能框图 (续)



MAX8553/MAX8554

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

典型应用电路

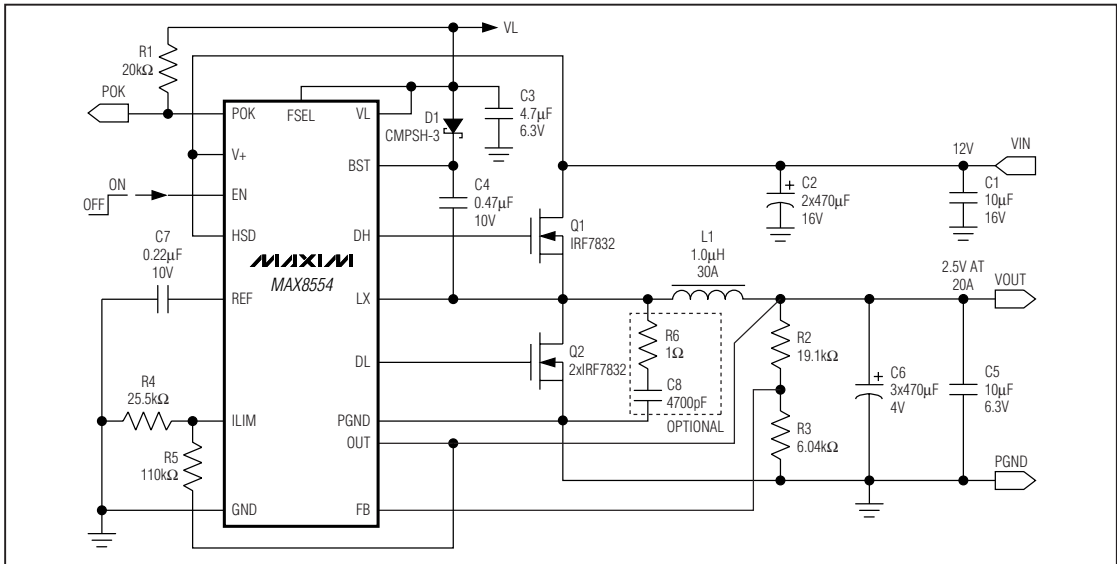


图1. 典型应用电路1: 12V输入, 2.5V/20A输出, 开关频率200kHz

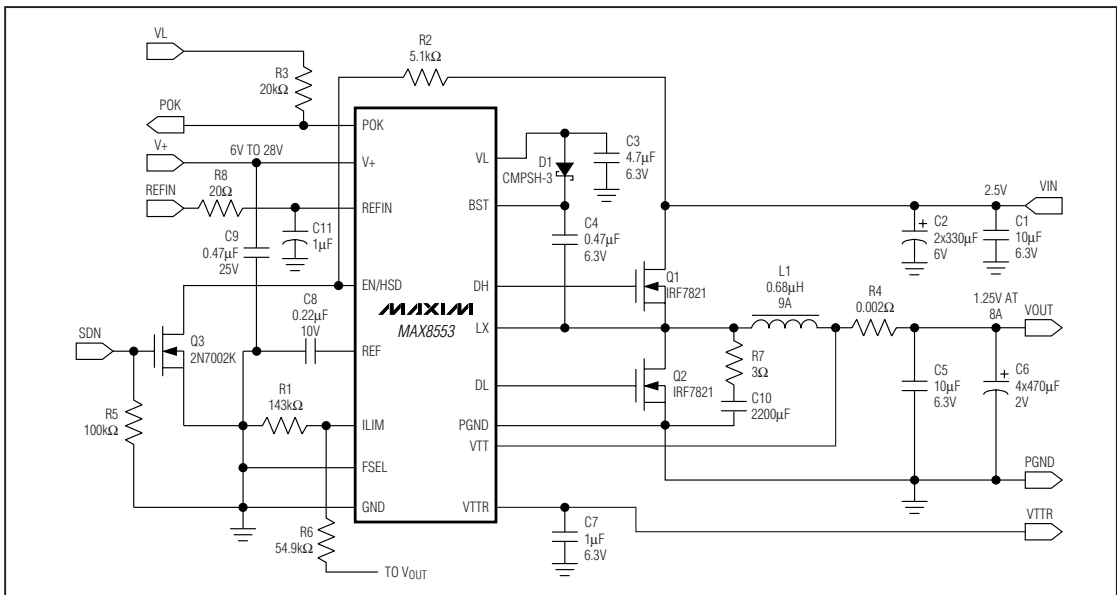


图2. 典型应用电路2: 2.5V输入, 1.25V VTT (电流最大8A), 1.25V VTR (电流最大25mA), 开关频率550kHz

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

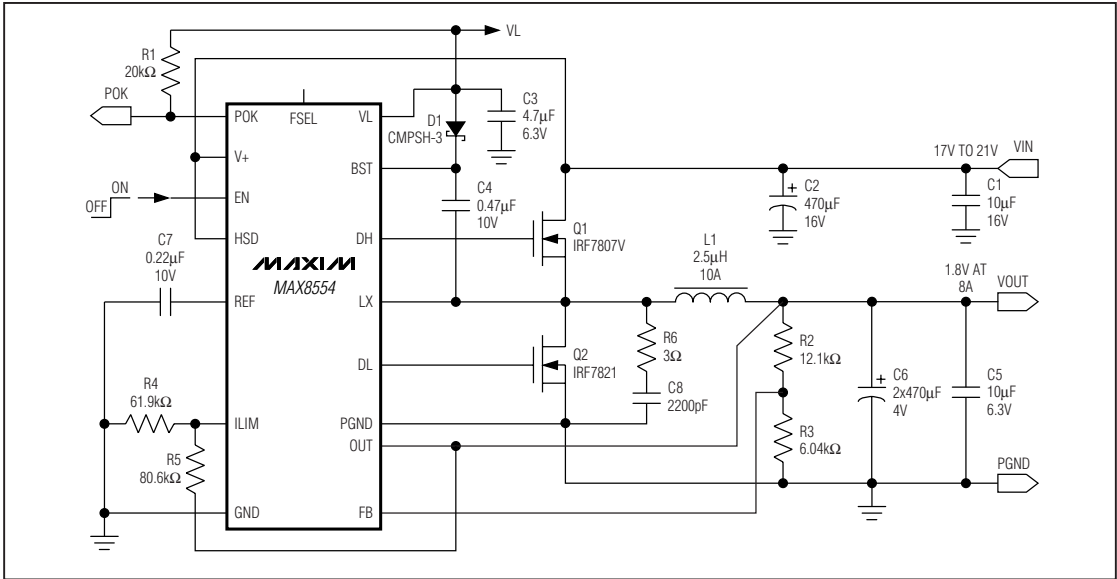


图3. 典型应用电路 3: 19V输入, 1.8V/8A输出, 开关频率300kHz

### 详细描述

#### 内部线性稳压器

内部线性稳压器可产生 +5V 电压 (VL)，为 PWM 控制器、MOSFET 驱动器、逻辑、基准、以及芯片中的其他模块供电。+5V 低压差 (LDO) 线性稳压器可为 MOSFET 栅极驱动和外部负载提供高达 35mA 的电流。对于 +4.5V 至 +5.5V 范围的输入电源，可将 VL 连接至 V+。这将旁路 VL 稳压器，提高效率并允许 IC 工作于较低的输入电压。

#### 导通时间单稳态电路和开关频率

PWM 的核心是设置高端开关导通时间的单稳态电路。这一快速、低抖动、可调节的单稳态电路根据输入和输出电压改变导通时间。高端开关导通时间反比于 EN/HSD 端 (对于 MAX8554 为 HSD) 的输入电压，而正比于输出电压。尽管没有固定频率的时钟发生器，这一算法仍可产生几乎恒定的开关频率。选择合适的开关频率，以避开

容易受到噪声干扰的区域，例如 455kHz IF 频段。此外，恒定的开关频率也使得电感的纹波电流工作点保持相对恒定，从而简化设计方法，产生可预见的输出电压纹波。MAX8553 导通时间 ( $t_{ON}$ ) 的一般公式为：

$$t_{ON} = K \times N \times \frac{1}{V_{EN/HSD}} \times V_{OUT}$$

其中  $V_{EN/HSD}$  和  $V_{OUT}$  分别为 EN/HSD 端的电压和输出电压， $K = 1.7\mu s$ 。N 的值依赖于 FSEL 的配置，如表 1 所示。

对于 MAX8554，其导通时间 ( $t_{ON}$ ) 的计算公式为：

$$t_{ON} = K \times N \times \frac{1}{V_{HSD}} \times V_{OUT}$$

其中  $V_{HSD}$  和  $V_{OUT}$  分别为 HSD 端的电压和输出电压， $K = 1.7\mu s$ 。N 的值依赖于 FSEL 的配置，如表 2 所示。

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

表1. FSEL 的配置 (MAX8553)

FSEL CONNECTED TO	N	t <sub>ON</sub> (μs)	FREQUENCY (kHz)	CONDITION
Ground	1.07	0.91	550	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5
REF	1.33	1.15	400	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5
Floating	2.00	1.70	300	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5
VL	3.00	2.55	200	V <sub>OUT</sub> / V <sub>EN/HSD</sub> = 0.5

表2. FSEL 的配置 (MAX8554)

FSEL CONNECTED TO	N	t <sub>ON</sub> (μs)	FREQUENCY (kHz)	CONDITION
Ground	1.07	0.37	550	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V
REF	1.33	0.49	400	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V
Floating	2.00	0.71	300	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V
VL	3.00	1.02	200	V <sub>HSD</sub> = 12V, V <sub>OUT</sub> = 2.5V

尽管没有固定频率的时钟发生器，这一算法仍可产生几乎恒定的开关频率。由于 MOSFET 导通电阻和输出电感直流电阻上的压降，实际的开关频率（由下式给出）会有变动：

$$f_s = \frac{D}{t_{ON}} \cong \frac{1}{K \times N}$$

其中 D 为占空比：

$$D = \frac{V_{OUT} + I_O(R_{DS(ON)L} + R_{DC})}{V_{HSD} + I_O(R_{DS(ON)L} - R_{DS(ON)H})}$$

其中 I<sub>O</sub> 为输出电流，R<sub>DS(ON)L</sub> 为低端 MOSFET 的导通电阻，R<sub>DS(ON)H</sub> 为高端 MOSFET 的导通电阻，R<sub>DC</sub> 为输出电感的直流电阻。V<sub>REFIN</sub> = 2.5V 情况下理想的开关频率约为 550kHz。提高正向（源出）负载电流要求增加开关频率，而降低开关频率将增加负向（吸流）负载电流，这是因为低端 MOSFET 上的压降变化将改变电感电流的放电斜率。“电气特性”所保证的导通时间也会受到外部功率 MOSFET 的负载效应的开关延时的影响。

通过在 HSD 加入一个电阻分压器，开关频率可被调整为非预置频率值。参见“调整开关频率”部分。

### VTTR 基准 (仅 MAX8553)

MAX8553 的 VTTR 输出具有源出或吸入高达 25mA 电流的能力。VTTR 输出电压等于 REFIN 端电压的一半。使用至少 1μF 的陶瓷电容旁路 VTTR。

### 电压基准

REF 的电压标称值为 2.00V。在 REF 和 GND 之间连接一个 0.22μF 的旁路陶瓷电容。

### EN 和 HSD (仅 MAX8554)

EN 是一个用于使能或者关断 MAX8554 的逻辑输入。将 EN 拉高或者连接至 V+ 可以允许输出。将 EN 拉低将 MAX8554 置于低功耗关断模式，输入电流降至 5μA（典型值）以下。

HSD 检测高端 MOSFET 漏极端的输入电压，用于设置高端 MOSFET 的导通时间。对于正常工作，将 HSD 连接至高端 MOSFET 的漏极。

### EN/HSD 的功能 (仅 MAX8553)

为了减少引脚数目和封装尺寸，MAX8553 包含了一个双功能输入引脚，EN/HSD。当 EN/HSD 被下拉至地时，内部电路关断，电流消耗降低至 5μA（典型值）以下。正常工作时，应通过一个 5.1kΩ 的电阻将 EN/HSD 连接至高端 MOSFET 的漏极（图 2）。在这种连接方式下，EN/HSD 变为一个输入，监视高端 MOSFET 漏极（转换器输入电压）的输入电压，并利用该测量值为转换器计算合适的导通时间。如果不使用该功能，应将 EN/HSD 直接连接至高端 MOSFET 的漏极。



## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

### 预放电模式

MAX8553/MAX8554 在数字软启动开始之前将输出放电至 GND。当 EN/HSD (EN) 被拉高时，MAX8553 (MAX8554) 启动一个内部计数器，并且强制  $V_{DL}$  等于  $V_{VL}$ 。通过低端 MOSFET 将输出放电至 GND。如果在使能之前输出电压高于地，由于输出 LC 中储存的能量，输出电压会变为微负。如果负载不能承受负电压，应在输出和 PGND 之间连接一个功率肖特基 (Schottky) 二极管 (阳极连接到 PGND) 作为反向钳位。该放电模式周期为 1.7ms。降压控制器和 VTTR 缓冲器在这段时间内都是关闭的。在预放电周期结束后，降压控制器和 VTTR 缓冲器打开，并开始软启动。

### 数字软启动

数字软启动在启动期间使内部限流值逐渐增大，以降低输入浪涌电流。MAX8553/MAX8554 将软启动周期分为 5 个阶段。在第一阶段，控制器将电流限制在仅为满量程电流的 20%。如果输出在 425 $\mu$ s 内不能达到稳压值，软启动进入第二阶段，电流限制再增大 20%。这一过程重复进行，直至达到最大电流限制 (1.7ms 之后) 或者输出达到了额定稳压值，不论哪种情况先出现。在外部 ILIM 电阻端并联一个电容可以实现连续可调的模拟软启动功能。如果在应用电路中采用了折返限流功能，则最大限流还是输出电压和 ILIM 端连接电阻的函数。

### 电源就绪输出 (POK)

POK 是内部窗口比较器的漏极开路输出，连续监测 MAX8553 的 VTT 和 VTTR 电压，或监测 MAX8554 的 FB 电压。POK 在关断时保持低电平，当输出处于各自额定稳压值的 12% 范围内时，POK 变为高阻。

### 过压保护(OVP)

当降压输出电压升高至额定稳压值的 120% 以上时，OVP 电路触发故障锁存器，关断 PWM 控制器，并立即将 DH 拉低，将 DL 强制为高电平。负向电流限制也被禁用。这样低端 MOSFET 导通，将输出电容快速放电，使输出嵌位至地。应注意的是，立即将 DL 锁定为高电平可能会引起输出电压微负，这是 OVP 发生时储存在输出 LC 中的能量所导致。如果负载不能承受负电压，应在输出和 PGND 之间连接一个功率肖特基 (Schottky) 二极管 (阳极连接到 PGND) 作为反向钳位。EN 重复有效或者输入电源再次上电可以复位该锁存器。

### 过流保护

限流电路使用独特的“谷底”电流检测算法，即采用低端 MOSFET 的导通电阻作为检流元件。如果检流信号高于限流门限，则 PWM 将在下一个周期被禁止。实际的峰值电流高于谷底电流门限，超出部分等于电感纹波电流 (图 4)。因此，实际的限流特性和最大的负载能力是 MOSFET 导通电阻、电感值、以及输入电压的函数。这种不确定性带来的好处是牢靠、无损耗的过流检测。器件还实现了反向电流限制，以防止在  $V_{OUT}$  吸入电流时产生过高的反向电感电流。负向电流门限被设置为 110% 左右的正向电流门限，因此在 ILIM 调整后，也随着正向电流门限调整。电流限制门限通过 ILIM 端的外部电阻 ( $R_{ILIM}$ ) 调节。ILIM 端输出一个精确的 5 $\mu$ A 上拉电流源，可以设置该电阻上的压降，在近似 50mV 至 200mV 范围内调节电流限制门限。在可调模式下，电流限制门限电压精确地等于 ILIM 电压的 1/10。因此，可按照 2k $\Omega$ /mV 的标准根据电流限制门限选择  $R_{ILIM}$ 。当 ILIM 被连接至 VL 时，门限为缺省的 100mV。切换到 100mV 缺省值的逻辑门限约为  $V_{VL} - 1V$ 。提供可调的电流限制，以适应多种 MOSFET。另一种情况，还可在 ILIM 和  $V_{OUT}$  之间连接一个电阻，以实现折返电流限制。参见“设置电流限制”部分。

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

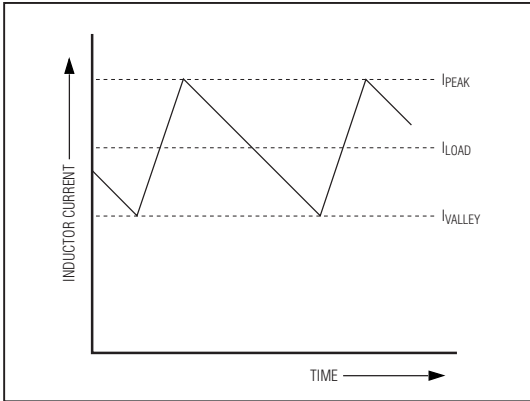


图4. 电感电流波形

认真遵循PCB的布局要求，以确保噪声和直流误差不会影响到LX和PGND之间的检流信号。芯片应尽可能地靠近低端MOSFET，并采用Kelvin检测连接方式，通过短而无过孔的连线接至MOSFET的源极和漏极。请参见“PCB布局”部分。

### 电压定位

Quick-PWM控制结构可以瞬间对负载的瞬变进行响应，消除了传统PWM控制器的控制环路延时。因此，负载阶跃变化时电压变化的很大一部分是由输出电容的ESR（等效串联电阻）引起的。对于DDR端接应用，所允许的最大电压变化为 $\pm 40\text{mV}$ （任何从源出电流到吸入电流的负载瞬变）。无源电压定位根据控制器的负载电流调节其输出电压，以优化瞬变响应，并尽可能地降低所要求的输出电容。

如图2所示连接一个低阻值电阻（R4），就可实现电压定位功能。

### MOSFET驱动器

DH和DL驱动器针对驱动可提供高达25A输出电流的MOSFET进行了优化。自适应死区时间电路监视DL输出，防止高端MOSFET导通，直到DL完全关断。为使自适应死区时间电路正常工作，DL驱动器到MOSFET的栅极之间必须保持一条低阻抗、低电感的连接。否则，MAX8553/

MAX8554的检测电路可能判定MOSFET的栅极已经关断，而实际上栅极中仍留有电荷。注意使用短且宽的连线（如果MOSFET距离驱动器1英寸，线宽应为50mil至100mil）。自适应死区时间延时叠加在一个固定的30ns（典型值）延时之上。另一个边沿（DH关断边沿）的死区时间由固定的32ns（典型值）内部延时决定。

### 设计步骤

#### 设置输出电压

对于MAX8553，输出电压 $V_{VTT}$ 始终为 $V_{REFIN}$ 的50%。

对于MAX8554，可使用一个电阻分压器（图1和3中的R2和R3）在600mV至3.5V范围内调节输出电压。为设置电压，先在1k $\Omega$ 至10k $\Omega$ 范围内选择R3，然后使用下式计算R2：

$$R2 = R3 \left( \frac{V_{OUT}}{V_{FB}} - 1 \right)$$

其中 $V_{FB}$ 为0.6V。

#### 电感选择

选择电感需要注意几个关键的参数：电感值（L）、峰值电感电流（IPEAK）、以及直流电阻（RDC）。较好的尺寸和效率之间的折衷考虑是选择电感的峰峰值纹波电流和最大负载电流之比为30%（LIR=0.3）。开关频率、输入电压、输出电压、以及选择的LIR决定电感值为：

$$L = \frac{V_{OUT}(V_{IN} - V_{OUT})}{V_{IN} \times f_S \times I_{LOAD(MAX)} \times LIR}$$

其中 $f_S$ 为开关频率。电感值的要求并不严格，可以在折衷考虑尺寸、成本、以及效率时进行调整。较低的电感值可以降低尺寸和成本、改善瞬变响应，但由于较高的峰值电流，降低了效率，增加了输出电压纹波。较高的电感值由于降低了RMS电流，从而提高效率。

建议使用符合尺寸要求、具有尽可能低的直流电阻损耗的电感。额定的电感饱和电流必须高于最大负载（ $I_{LOAD(MAX)}$ ）时的峰值电感电流：

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

$$I_{PEAK} = I_{LOAD(MAX)} + \left(\frac{LIR}{2}\right) \times I_{LOAD(MAX)}$$

### 选择输出电容

选择输出电容的关键参数是电容值、ESR、等效串联电感(ESL)、以及额定电压等参数，这些参数会影响全局的稳定性、输出纹波电压、以及瞬变响应。

最坏情况下的输出纹波包含3个部分：存储在输出电容中的电荷变化，以及由流入和流出电容的电流所引起的在电容ESR和ESL上的压降。近似为：

$$V_{RIPPLE} = V_{RIPPLE(ESR)} + V_{RIPPLE(C)} + V_{RIPPLE(ESL)}$$

ESR引起的输出电压纹波为：

$$V_{RIPPLE(ESR)} = I_{P-P} \times ESR$$

输出电容引起的输出电压纹波为：

$$V_{RIPPLE(C)} = \frac{I_{P-P}}{8 \times C_{OUT} \times f_S}$$

输出电容ESL引起的输出电压纹波为：

$$V_{RIPPLE(ESL)} = (V_{IN} \times ESL) / (L + ESL)$$

$I_{P-P}$  为峰值电感电流：

$$I_{P-P} = \frac{V_{IN} - V_{OUT}}{f_S \times L} \times \frac{V_{OUT}}{V_{IN}}$$

在负载瞬变后，输出电压瞬间变化量为  $ESR \times \Delta I_{LOAD} + ESL \times di/dt$ ，控制器在100ns内进行响应，并试图将其调节回额定输出值。

推荐使用固态聚合物或者OSCON电解电容，因为它们是在开关频率下具有较低的ESR和ESL。在较高输出电流的应用中，应该使用多个并联输出电容，以满足输出纹波电压的要求。不允许超出电容的额定电压或者纹波电流的额定值。

### 输出电容稳定性的考虑

稳定性取决于ESR零点值与开关频率的相对关系。为了确保稳定性，必须满足以下条件：

$$f_{ESR} < \frac{f_S}{\pi}$$

其中 $f_S$ 为开关频率并且：

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}}$$

对于典型的300kHz应用，ESR零点频率必须远低于95kHz，最好低于50kHz。不要直接在反馈检测点两端放置高容值的陶瓷电容，需精心考虑稳定性要求。大容量陶瓷电容具有较高的ESR零点频率，并可能引起错误、不稳定的工作。将电容放置在反馈检测点靠后几英寸处，就可以轻易地引入足够的串联阻抗，以保证稳定工作，而反馈检测点应该尽可能接近电感端。

检查稳定性最简单的方法是产生一个零至最大负载的瞬变，并仔细观察输出电压纹波的过冲和振铃包络。使用一个交流电流探测器，将有助于同时监视电感电流。在初始阶跃响应欠冲/过冲之后，不允许超过一个周期的振铃。

### 选择输入电容

输入电容( $C_{IN}$ )可降低输入电源的峰值电流，同时也可以降低注入的噪声。输入电源的电源阻抗很大程度上决定了 $C_{IN}$ 的取值。较高的电源阻抗要求较大容量的输入电容。输入电容必须满足开关电流引起的纹波电流( $I_{RMS}$ )要求，如下式定义：

$$I_{RMS} = I_{LOAD} \times \frac{\sqrt{V_{OUT} \times (V_{IN} - V_{OUT})}}{V_{IN}}$$

在输入电压等于输出电压的两倍时， $I_{RMS}$ 达到其最大值 $I_{LOAD}/2$ 。

为了获得最佳的长期稳定性，选择输入电容时，应保证其在峰值纹波电流下的温升不超过10°C。

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

### 设置电流限制

#### 恒定电流限制

提供可调的电流限制，以适应不同导通电阻的 MOSFET。电流限制门限通过一个连接在 ILIM 和 GND 之间的外部电阻 ( $R_{ILIM}$ ) 进行调节。调节范围为 50mV 至 200mV (低端 MOSFET 两端电压差)。通过下式计算  $R_{ILIM}$ ：

$$R_{ILIM} = 10 \times \frac{I_{VALLEY}}{5\mu A} \times R_{DS(ON)}$$

其中  $I_{VALLEY}$  为谷底电流限制， $R_{DS(ON)}$  为低端 MOSFET 的导通电阻。为了避免实际的电流限制低于期望值，计算中应使用高结温下的  $R_{DS(ON)}$  最大值。查询最大值，请参考 MOSFET 制造商的数据手册。

#### 折返电流限制

折返电流限制能够在过载以及短路条件下降低功率损耗，这可以通过在输出电压由于过载而下降时，降低电流限制门限来实现。

为了使用折返电流限制，应在 ILIM 和输出之间连接一个电阻 ( $R_{FOBK}$ )，在 ILIM 和 GND 之间连接一个电阻 ( $R_{ILIM}$ ) (图5)。按照以下说明计算  $R_{ILIM}$  和  $R_{FOBK}$ ：

首先，选择折返的百分比  $P_{FB}$ 。该百分比为  $V_{OUT}$  等于零时的电流限制与  $V_{OUT}$  等于其额定值时的电流限制之比。典型的范围为 15% 至 30%。求解电阻值，请采用下列等式：

$$R_{FOBK} = \frac{P_{FB} \times V_{OUT}}{5\mu A(1 - P_{FB})}$$

$$R_{ILIM} = \frac{10 \times R_{DS(ON)} \times I_{VALLEY} \times (1 - P_{FB}) \times R_{FOBK}}{V_{OUT} - (10 \times R_{DS(ON)} \times I_{VALLEY} \times (1 - P_{FB}))}$$

如果所得的  $R_{ILIM}$  为负数，选择一个  $R_{DS(ON)}$  更低的低端 MOSFET，或者增大  $P_{FB}$ ，或者两者同时改变，以折衷考虑成本和效率，降低短路功耗。

#### 调节开关频率

改变 FSEL 设置可以降低 MAX8553/MAX8554 的开关频率，可通过在 EN/HSD (HSD) 加入一个电阻分压器实现，

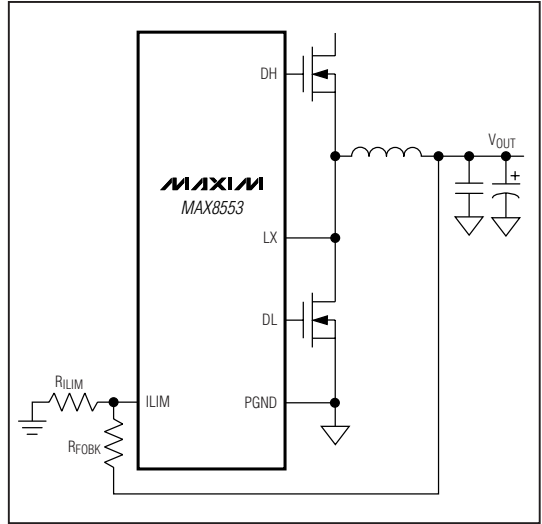


图5. 使用两个电阻  $R_{ILIM}$  和  $R_{FOBK}$  设置折返电流门限

如图6所示。该分压器可以降低 EN/HSD (HSD) 端的电压，从而增加导通时间。加入电阻分压器后的开关频率按下式计算：

$$f_s \cong \frac{1}{K \times N} \times \frac{R_2}{R_1 + R_2}$$

其中  $K = 1.7\mu s$ ， $N$  在表1和表2中给出。为了设置开关频率，先在  $10k\Omega$  至  $100k\Omega$  范围内选择  $R_2$ ，然后按照下式计算  $R_1$ ：

$$R_1 = \frac{1}{K \times N} \times \frac{R_2}{f_s} - R_2$$

使用电阻分压器时，应确保在最小输入电压下 EN/HSD (HSD) 端电压高于 1.5V：

$$\frac{V_{IN(MIN)} \times R_2}{R_1 + R_2} > 1.5V$$

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

### 设置电压定位

输出电容和输出电感之间串联的降压电阻，图2中的  $R_{DRP}$  ( $R_4$ )，用于设置压降  $V_{DRP}$ 。选择  $R_{DRP}$  时应使最大负载电流下的输出电压，包含电压纹波，高于输出容限的下限：

$$R_{DRP} < \frac{V_{OUT(TYP)} - V_{OUT(MIN)} - V_{RIPPLE} / 2}{I_{OUT(MAX)}}$$

$R_{DRP}$  会增加一些功率损耗，由下式给出：

$$P_{D(DRP)} = R_{DRP} \times (I_{OUT(MAX)})^2$$

$R_{DRP}$  必须能够承受该功率损耗。

### 选择功率 MOSFET

MAX8553/MAX8554 驱动外部逻辑电平的 N 沟道 MOSFET (电路开关元件)。选择该元件的关键因素包括：

导通电阻 ( $R_{DS(ON)}$ )：越低越好。

最大漏源极电压 ( $V_{DSS}$ )：该电压应该比高端 MOSFET 漏极的输入电源电压至少高出 20%。

栅极电荷 ( $Q_G$ 、 $Q_{GD}$ 、 $Q_{GS}$ )：越低越好。

选择提供  $V_{GS} = 4.5V$  下的  $R_{DS(ON)}$  指标的 MOSFET。为了

兼顾效率和成本，选择高端 MOSFET 时应使其在额定输入电压和最大输出电流下的导通损耗等于开关损耗 (参见下面)。对于低端 MOSFET，应确保它不会因为高端 MOSFET 导通所产生的  $dV/dt$  而被错误地导通，因为这将产生直通电流，降低效率。选择低  $Q_{GD}/Q_{GS}$  比的 MOSFET，具有更好的  $dV/dt$  抗干扰能力。

为了实现严格的热管理设计，必须在预期的最高工作结温、最大输出电流和最坏情况下的输入电压 (对于低端 MOSFET，最坏情况为  $V_{IN(MAX)}$ )；对于高端 MOSFET，最坏情况为  $V_{IN(MIN)}$  和  $V_{IN(MAX)}$ ) 下计算功率损耗。由于在电路的不同工作方式下，高端 MOSFET 和低端 MOSFET 具有不同的损耗类型。低端 MOSFET 为零电压开关工作，因此它的主要损耗为：沟道导通损耗 ( $P_{LSCC}$ )，体内二极管导通损耗 ( $P_{LSDC}$ )，以及栅极驱动损耗 ( $P_{LSDR}$ )：

$$P_{LSCC} = \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \times (I_{LOAD})^2 \times R_{DS(ON)}$$

采用  $T_J(MAX)$  下的  $R_{DS(ON)}$ ：

$$P_{LSDC} = 2 \times I_{LOAD} \times V_F \times t_{DT} \times f_S$$

其中  $V_F$  为体内二极管正向压降， $t_{DT}$  为死区时间 (约 30ns)， $f_S$  为开关频率。

由于工作在零电压开关状态，低端 MOSFET 的栅极驱动损耗来自于对输入电容  $C_{ISS}$  的充放电。该损耗分布于 DL 栅极驱动器的上拉和下拉电阻， $R_{DL}$  (约 1.2Ω)，以及 MOSFET 的栅极内部电阻 ( $R_{GATE}$ ) (约 2Ω)。低端 MOSFET 的驱动功耗由下式给出：

$$P_{LSDR} = C_{ISS} \times (V_{GS})^2 \times f_S \times \frac{R_{GATE}}{R_{GATE} + R_{DL}}$$

高端 MOSFET 为占空比控制开关，它的主要损耗包括：沟道导通损耗 ( $P_{HSCC}$ )、VI 过渡切换期间的损耗 ( $P_{HSSW}$ )，以及驱动损耗 ( $P_{HSDR}$ )。由于高端 MOSFET 的体内二极管并不通过电流，因此高端 MOSFET 没有体内二极管导通损耗。

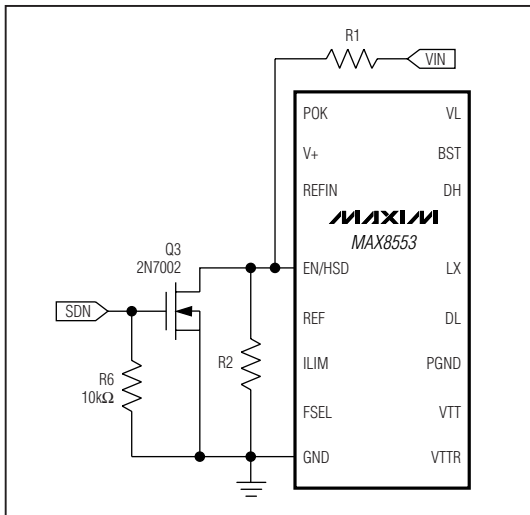


图6、利用电阻分压器 ( $R_1$  与  $R_2$ ) 降低开关频率

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

$$P_{HSCC} = \frac{V_{OUT}}{V_{IN}} \times (I_{LOAD})^2 \times R_{DS(ON)}$$

采用  $T_{J(MAX)}$  下的  $R_{DS(ON)}$ ：

$$P_{HSSW} = V_{IN} \times I_{LOAD} \times f_S \times \frac{Q_{GS} + Q_{GD}}{I_{GATE}}$$

其中  $I_{GATE}$  为 DH 高端驱动器平均输出电流，由下式决定：

$$I_{GATE} = \frac{2.5V}{R_{DH} + R_{GATE}}$$

其中  $R_{DH}$  为高端 MOSFET 驱动器导通电阻（典型值 1.4Ω）， $R_{GATE}$  为 MOSFET 的栅极内部电阻（约 2Ω）：

$$P_{HSDR} = Q_G \times V_{GS} \times f_S \times \frac{R_{GATE}}{R_{GATE} + R_{DH}}$$

其中  $V_{GS} = V_{VL} = 5V$ 。

当 MAX8553 吸入电流时，高端 MOSFET 为零电压开关工作，而低端 MOSFET 为非零电压开关工作。

除了上述损耗，还应考虑 20% 以上的附加损耗，这些损耗产生于 MOSFET 的输出电容以及低端 MOSFET 体内二极管反向恢复电荷在高端 MOSFET 上所引起的损耗，这些参数在 MOSFET 数据手册中一般没有准确地定义。参考 MOSFET 数据手册的热阻参数，以计算在上述功耗下不超出预期的最高工作结温时所要求的 PCB 板面积。

为降低开关噪声所引起的 EMI，可在高端 MOSFET 漏极和低端 MOSFET 源极之间加一个 0.1μF 陶瓷电容，或在 DH 和 DL 上串联电阻以减缓开关速度。然而，串联电阻增加了 MOSFET 的功率损耗，因此要保证 MOSFET 不致于过热。

### 控制芯片的功率损耗

MAX8553/MAX8554 芯片的功率损耗主要产生于片上的 MOSFET 栅极驱动器 (DH 和 DL)。这一功率损耗依赖于外部 MOSFET 的栅极注入电荷。MAX8553 的功率损耗还依赖于 VTTR 的负载电流 ( $I_{VTTR}$ )。采用下式计算功耗：

$$P_D = (V_{V+}) \times [f_S \times (Q_{GH} + Q_{GL}) + I_{VTTR}]$$

其中  $Q_{GH}$  和  $Q_{GL}$  分别为高端和低端 MOSFET 的总栅极电荷。正确地选择开关频率和  $V_{V+}$ ，以保证不超出 MOSFET 封装所能承受的功耗。

### 应用信息

#### PCB 板布局

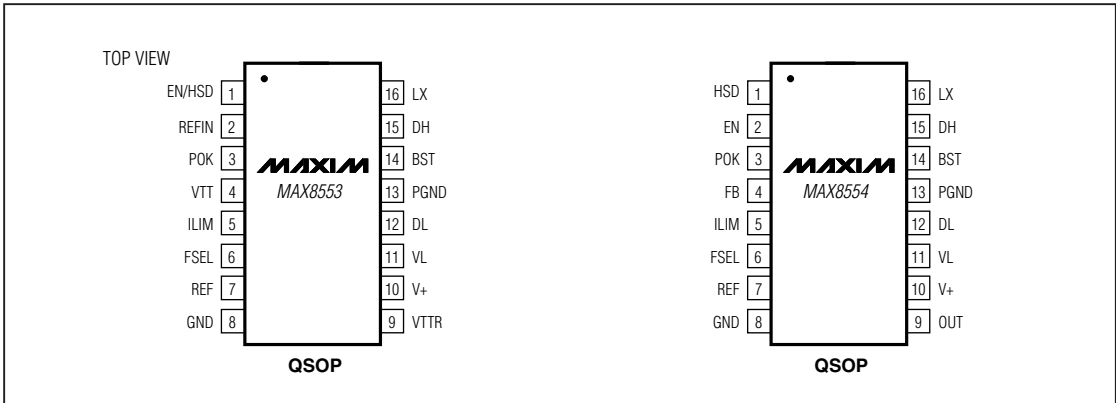
严格的 PCB 板布局对于任何开关调节器来说十分重要，尤其需要注意开关功率级。如果可能，将所有功率器件安装在电路板的顶层，并使它们的接地端子彼此靠近。依照以下准则可获得良好的 PCB 板布局：

- 1) 大电流通路要尽可能短，尤其是接地端子。这对于实现稳定、低抖动的工作十分重要。
- 2) 仅在某一点连接 GND 和 PGND。
- 3) 使功率连线和负载连线尽可能短，这对于提高效率十分重要。采用厚铜膜印制板 (2oz 至 1oz)，可使满载效率提高 1% 或更多。良好的印制板布线是一项比较困难的任務，尽可能以几分之一厘米的长度连线，连线电阻增加 1 毫欧就会造成显著的效率损失。
- 4) 低端 MOSFET 的 LX 和 PGND 的连接用于电流检测，必须采用 Kelvin 检测连接方式，以保证检流精度。如果是 SO-8 MOSFET，最好使用顶层铜线将电源从外部接入，同时在 SO-8 封装的内侧（底部）连接 LX 与 PGND。

## 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

- 5) 当必须折衷考虑走线长度时，宁可使电感的充电电流路径长于放电路径。例如，相对于电感和低端MOSFET或电感和输出滤波电容之间的距离，输入电容和高端MOSFET之间的距离允许更长一些。
- 6) 可以根据需要人为增加FB电感节点和输出滤波电容之间连线的长度（降压电阻），以满足稳定性准则 ( $f_{ESR} < f_S/\pi$ )。
- 7) 反馈电阻尽可能地靠近芯片。
- 8) 高速开关节点的布线要远离敏感的模拟区域。
- 9) 使所有连接至GND或VL的控制输入引脚（如ILIM等）连接靠近芯片，且不能连接到PGND。

### 引脚配置



### 芯片信息

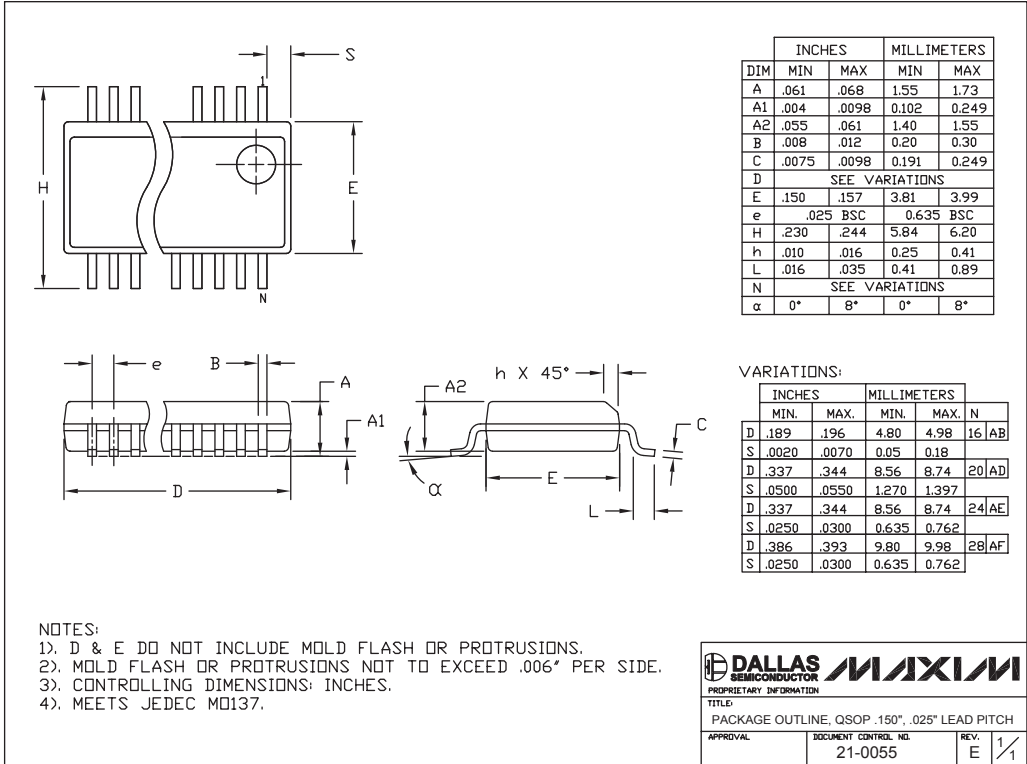
TRANSISTOR COUNT: 2827

PROCESS: BiCMOS

# 4.5V至28V输入、同步PWM降压控制器， 适合于DDR端接以及负载点应用

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 [www.maxim-ic.com/packages](http://www.maxim-ic.com/packages)。)



QSOP16PS

## MAXIM 北京办事处

北京8328信箱 邮政编码100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责，也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

24 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**