

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

概述

MAX8563/MAX8564 是超低输出电压、双路和三路 LDO 控制器，广泛应用于主板、台式笔记本、笔记本以及其他领域的负载点电压变换，灵活方便，成本低廉。

MAX8563/MAX8564 都含有精度为 ±1% 的 0.5V 基准电压源，可对输出电压进行精密的调节。MAX8563 有 3 路 n 沟道 MOSFET 控制输出，MAX8564 有 2 路 n 沟道 MOSFET 控制输出。

当 $V_{DD} = 12V$ 时，每路的控制器输出可在 0.5V~3.3V 之间调节； $V_{DD} = 5V$ 时，每路控制器输出可在 0.5V~1.8V 之间调节。各路输出可独立使能，并在输出电压达到设定电压的 94% 时产生 POK 信号。每路输出都具有保护电路，当输出电压跌落到低于设定电压的 80% 而且持续时间大于 50 μ s 时，欠压比较器禁止输出，对电路提供软短路保护。对于灾难性短路故障，当输出电压下降至低于设定电压的 60% 时，稳压器会被立即关断。

MAX8563 采用 16 引脚 QSOP 封装，MAX8564 采用 10 引脚 μ MAX[®] 封装。

应用

主板

双路/三路电源

台式笔记本和笔记本

图形卡

超低压差电压调节器

低电压 DSP、 μ P 和微控制器电源

特性

- ◆ MAX8563：3 路输出
- ◆ MAX8564：2 路输出
- ◆ ±1% 的反馈调整率
- ◆ 输出电压可调低至 0.5V
- ◆ 可使用陶瓷输出电容
- ◆ 工作电压范围宽，可采用 5V 或 12V 电压供电
- ◆ 独立使能控制，POK 信号实现顺序上电
- ◆ 对于软短路故障提供过载保护
- ◆ 欠压短路保护
- ◆ 可驱动 n 沟道 MOSFET

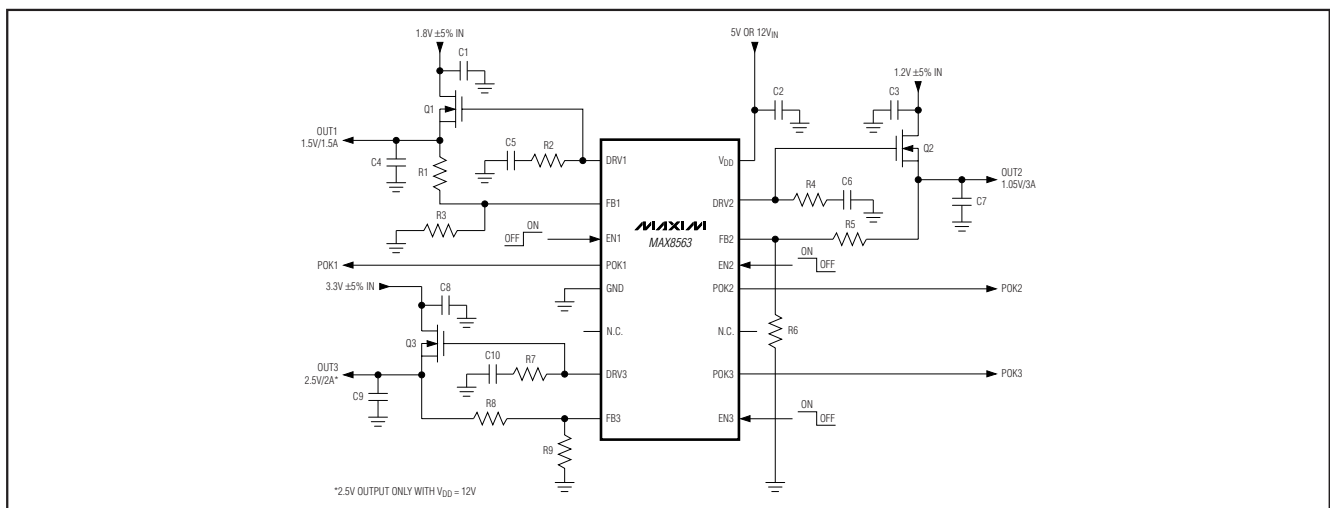
订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX8563EEE	-40°C to +85°C	16 QSOP
MAX8564EUB	-40°C to +85°C	10 μ MAX

引脚配置参见本数据手册的末尾。

μ MAX 是 Maxim Integrated Products, Inc. 的注册商标。

典型工作电路



±1%、超低输出电压、 双路和三路线性 n-FET 控制器

ABSOLUTE MAXIMUM RATINGS

V_{DD} to GND-0.3V to +14V
 DRV1, DRV2, DRV3, EN1, EN2,
 EN3 to GND.....-0.3V to (V_{DD} + 0.3V)
 FB1, FB2, FB3, POK1, POK2, POK3 to GND-0.3V to +6V
 Continuous Power Dissipation (T_A = +70°C)
 10-Pin μMAX (derate 5.6mW/°C above +70°C)444.4mW
 16-Pin QSOP (derate 8.3mW/°C above +70°C).....666.7mW

Operating Temperature Range-40°C to +85°C
 Junction Temperature+150°C
 Storage Temperature Range-65°C to +150°C
 Lead Temperature (soldering, 10s)+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{DD} = V_{EN1} = V_{EN2} = V_{EN3} = 5V, V_{GND} = 0V, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
GENERAL					
V _{DD} Voltage Range		4.5		13.2	V
V _{DD} Undervoltage-Lockout Threshold	Rising, 200mV hysteresis (typ)	3.56	3.76	4.00	V
V _{DD} Quiescent Current	V _{EN_} = V _{DD} = 12V (MAX8563)		930	1600	μA
	V _{EN_} = V _{DD} = 12V (MAX8564)		660	1200	
V _{DD} Shutdown Current	EN1 = EN2 = EN3 = GND, V _{DD} = 12V			25	μA
LDOs					
FB_ Accuracy	T _A = 0°C to +85°C	0.494	0.5	0.504	V
	T _A = -40°C to +85°C	0.489		0.509	
FB_ Input Bias Current	T _A = +25°C	-100		+100	nA
	T _A = +85°C		-8		
DRV_ Soft-Start Charging Current			100		μA
DRV_ Max Sourcing Current	V _{FB_} = 0.45V	T _A = 0°C to +85°C	4		mA
		T _A = -40°C to +85°C	3	7	
DRV_ Max Sinking Current	V _{FB_} = 0.6V	T _A = 0°C to +85°C	3		mA
		T _A = -40°C to +85°C	1.8	7	
DRV_ Max Voltage	V _{DD} = 5V, V _{FB_} = 0.46V	4.7			V
	V _{DD} = 13.2V, V _{FB_} = 0.46V	8.0		10.9	
FB_ Slow Short-Circuit Threshold	Measured at FB_ (falling)		400		mV
FB_ Fast Short-Circuit Threshold	Measured at FB_ (falling)		300		mV
Slow Short-Circuit Timer			50		μs
FB_ to DRV_ Transconductance		0.115	0.24	0.460	Mho
LOGIC					
EN_ Input Low Level				0.7	V
EN_ Input High Level			1.3		V
EN_ Input Leakage Current	V _{EN_} = 0 and V _{DD} , V _{DD} = 13.2V	T _A = +25°C	-0.1	+0.1	μA
		T _A = +85°C		0.001	

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

MAX8563/MAX8564

ELECTRICAL CHARACTERISTICS (continued)

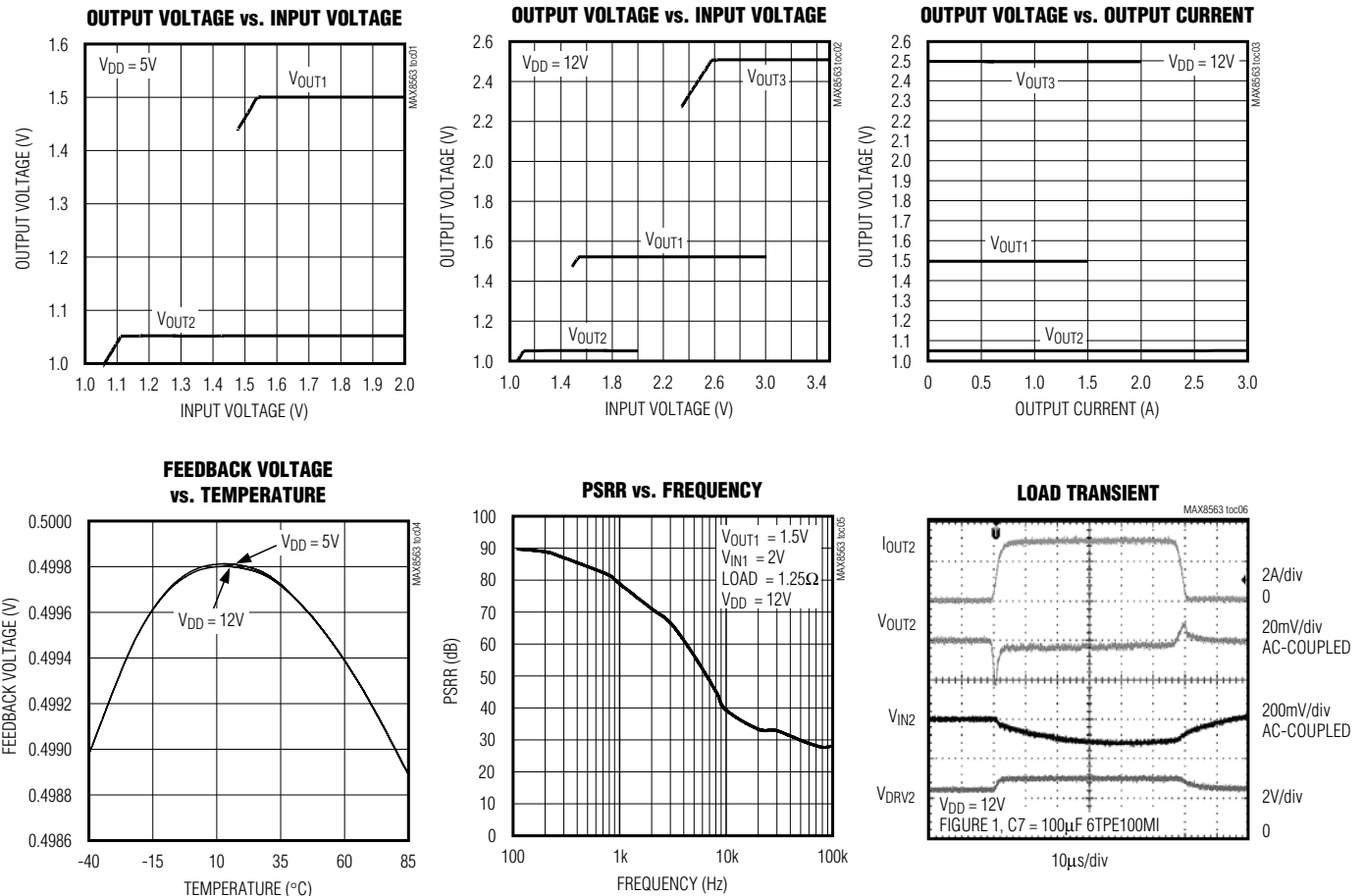
($V_{DD} = V_{EN1} = V_{EN2} = V_{EN3} = 5V$, $V_{GND} = 0V$, $T_A = -40^{\circ}C$ to $+85^{\circ}C$, unless otherwise noted. Typical values are at $T_A = +25^{\circ}C$.) (Note 1)

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
POK_ Threshold Falling	Measured at FB_ (falling)	425	440	455	mV
POK_ Threshold Rising at Startup	Measured at FB_ (rising)	455	470	485	mV
POK_ Output Low Level	Sinking 1mA, $V_{DD} = 4.5V$, $V_{FB_} = 0.4V$			0.1	V
POK_ Output High Leakage	$V_{DD} = 5.5V$	$T_A = +25^{\circ}C$		0.1	μA
		$T_A = +85^{\circ}C$		0.001	

Note 1: Specifications are production tested at $T_A = +25^{\circ}C$. Maximum and minimum specifications over temperature are guaranteed by design.

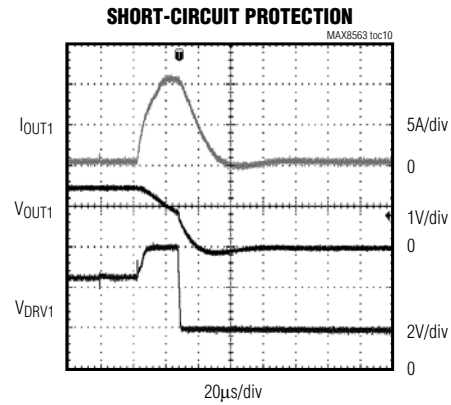
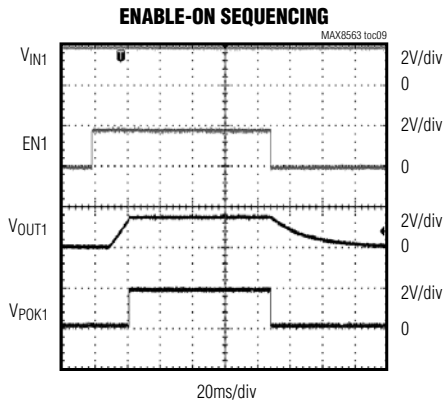
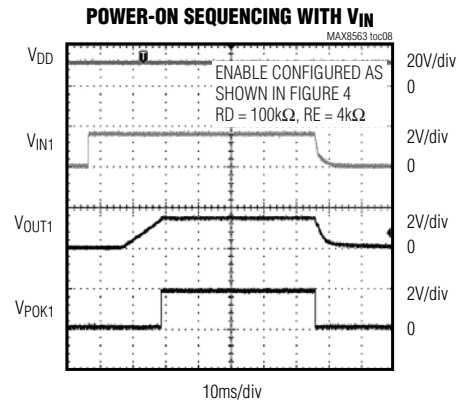
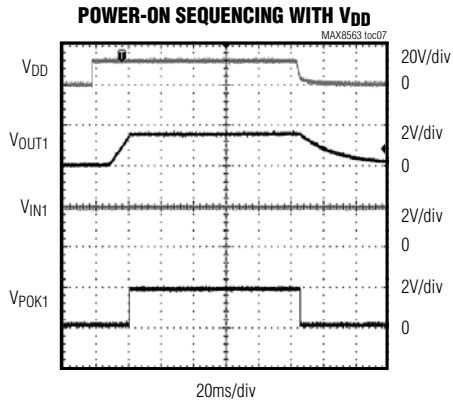
典型工作特性

(Circuit of Figure 1, $T_A = +25^{\circ}C$.)



±1%、超低输出电压、 双路和三路线性 n-FET 控制器

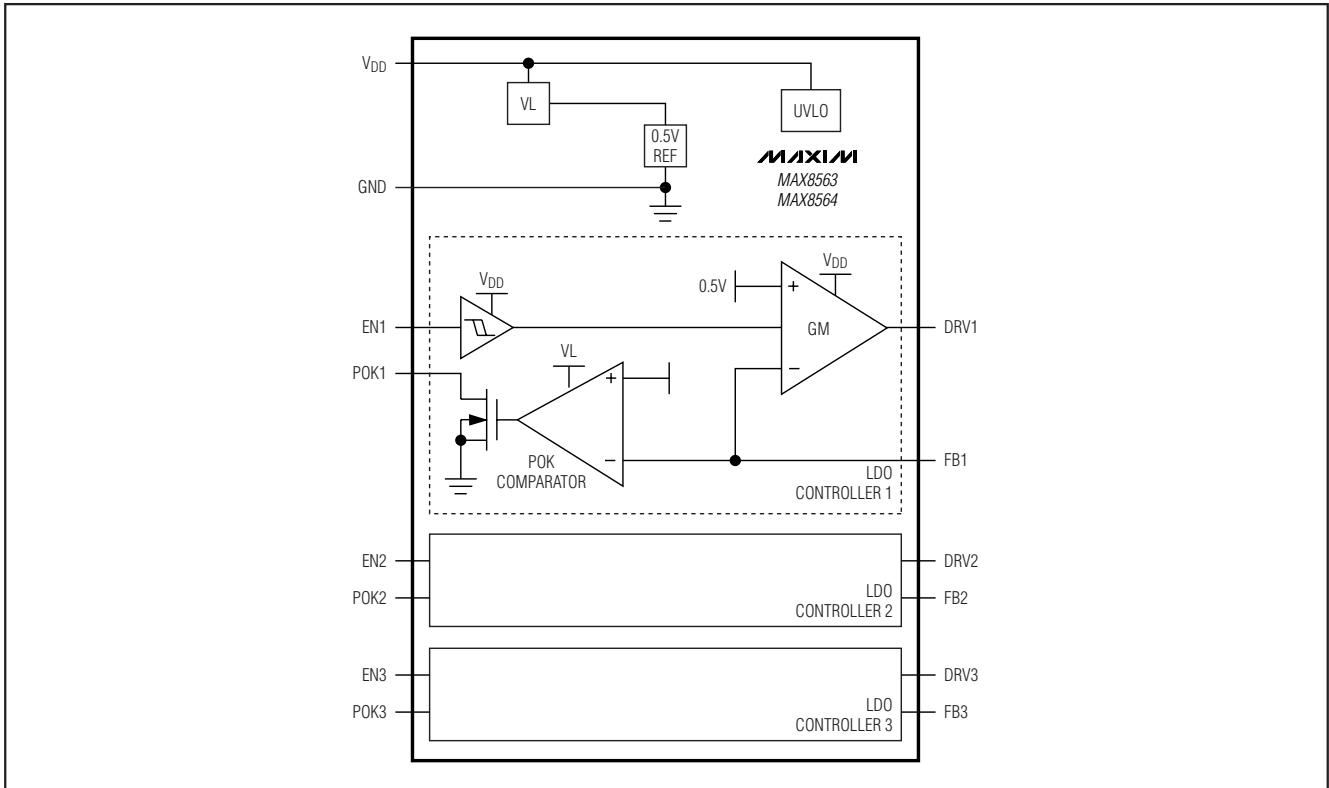
典型工作特性 (续)

(Circuit of Figure 1, $T_A = +25^\circ\text{C}$.)

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

功能框图

MAX8563/MAX8564



引脚描述

引脚	名称		功能
	MAX8563	MAX8564	
1	DRV1	DRV1	n-MOSFET 驱动输出端。驱动外部n 沟道 MOSFET 的栅极，对输出 1 进行调节。EN1 为逻辑低电平时，DRV1 在内部被拉至地。该引脚外部串联一个 RC 电路用于补偿。参见稳定补偿部分。
2	FB1	FB1	输出 1 的反馈输入端。该引脚与输出 1 和 GND 间的电阻分压器的中点相连，设定输出 1 的输出电压。反馈调节电压为 0.500V。参见输出电压设置部分。
3	EN1	EN1	输出 1 的使能控制端。该引脚为逻辑高电平时输出 1 工作，该引脚为逻辑低电平时输出 1 禁止。该引脚接 V _{DD} 时输出 1 始终处于工作状态。
4	POK1	POK1	输出 1 的电源好状态指示信号输出端。当输出 1 低于标称稳压值的 12% 时，漏极开路输出拉低。
5	GND	GND	地
	—	POK2	输出 2 的电源好状态指示信号输出端。当输出 2 低于标称稳压值的 12% 时，漏极开路输出拉低。
6	N.C.	—	无内部连接

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

引脚描述 (续)

引脚	名称		功能
	MAX8563	MAX8564	
7	—	EN2	输出 2 的使能控制端。该引脚为逻辑高电平时输出 2 工作，该引脚为逻辑低电平时输出 2 禁止。该引脚接 V_{DD} 时输出 2 始终处于工作状态。
	DRV3	—	n-MOSFET 驱动输出 3。驱动外部 n 沟道 MOSFET 的栅极，对输出 3 进行调节。当 EN3 为逻辑低电平时，DRV3 在内部被拉至地。该引脚外部串联一个 RC 电路用于补偿。参见稳定补偿部分。
8	—	FB2	输出 2 的反馈输入端。该引脚与输出 2 和 GND 间的电阻分压器的中点相连接，设定输出 2 的输出电压。反馈调节电压为 0.500V。参见输出电压设置部分。
	FB3	—	输出 3 的反馈输入端。该引脚与输出 3 和 GND 间的电阻分压器的中点相连，设定输出 3 的输出电压。反馈调节电压为 0.500V。参见输出电压设置部分。
9	—	DRV2	n-MOSFET 驱动的输出 2。驱动外部 n 沟道 MOSFET 的栅极，对输出 2 进行调节。当 EN2 为逻辑低电平时，DRV2 在内部被拉至地。该引脚外部串联一个 RC 电路来用于补偿。参见稳定补偿部分。
	EN3	—	输出 3 的使能控制端。该引脚为逻辑高电平时输出 3 工作，该引脚为逻辑低电平时输出 3 禁止。该引脚接 V_{DD} 时输出 3 始终处于工作状态。
10	—	V_{DD}	+5V 或 +12V 电源输入端。该引脚与外部的 +5V 或 +12V 电源连接。该引脚与地间应连接一个 0.1 μ F 或容量更大的陶瓷旁路电容。
	POK3	—	输出 3 的电源好状态指示信号输出端。当输出 3 低于标称稳压值的 12% 时，漏极开路输出拉低。
11	N.C.	—	无内部连接
12	POK2	—	输出 2 的电源好状态指示信号输出端。当输出 2 低于标称稳压值的 12% 时，漏极开路输出拉低。
13	EN2	—	输出 2 的使能控制端。该引脚为逻辑高电平时输出 2 工作，该引脚为逻辑低电平时输出 2 禁止。该引脚接 V_{DD} 时输出 2 始终处于工作状态。
14	FB2	—	输出 2 的反馈输入端。该引脚与输出 2 和 GND 间的电阻分压器的中点相连接，设定输出 2 的输出电压。反馈调节电压为 0.500V。参见输出电压设置部分。
15	DRV2	—	n-MOSFET 驱动的输出 2。驱动外部 n 沟道 MOSFET 的栅极，对输出 2 进行调节。当 EN2 为逻辑低电平时，DRV2 在内部被拉至地。该引脚外部串联一个 RC 电路以做补偿。参见稳定补偿部分。
16	V_{DD}	—	+5V 或 +12V 电源输入端。该引脚与外部的 +5V 或 +12V 电源连接。该引脚与地间应连接一个 0.1 μ F 或更大的陶瓷旁路电容。

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

典型应用电路

MAX8563: 三路输出

MAX8563/MAX8564

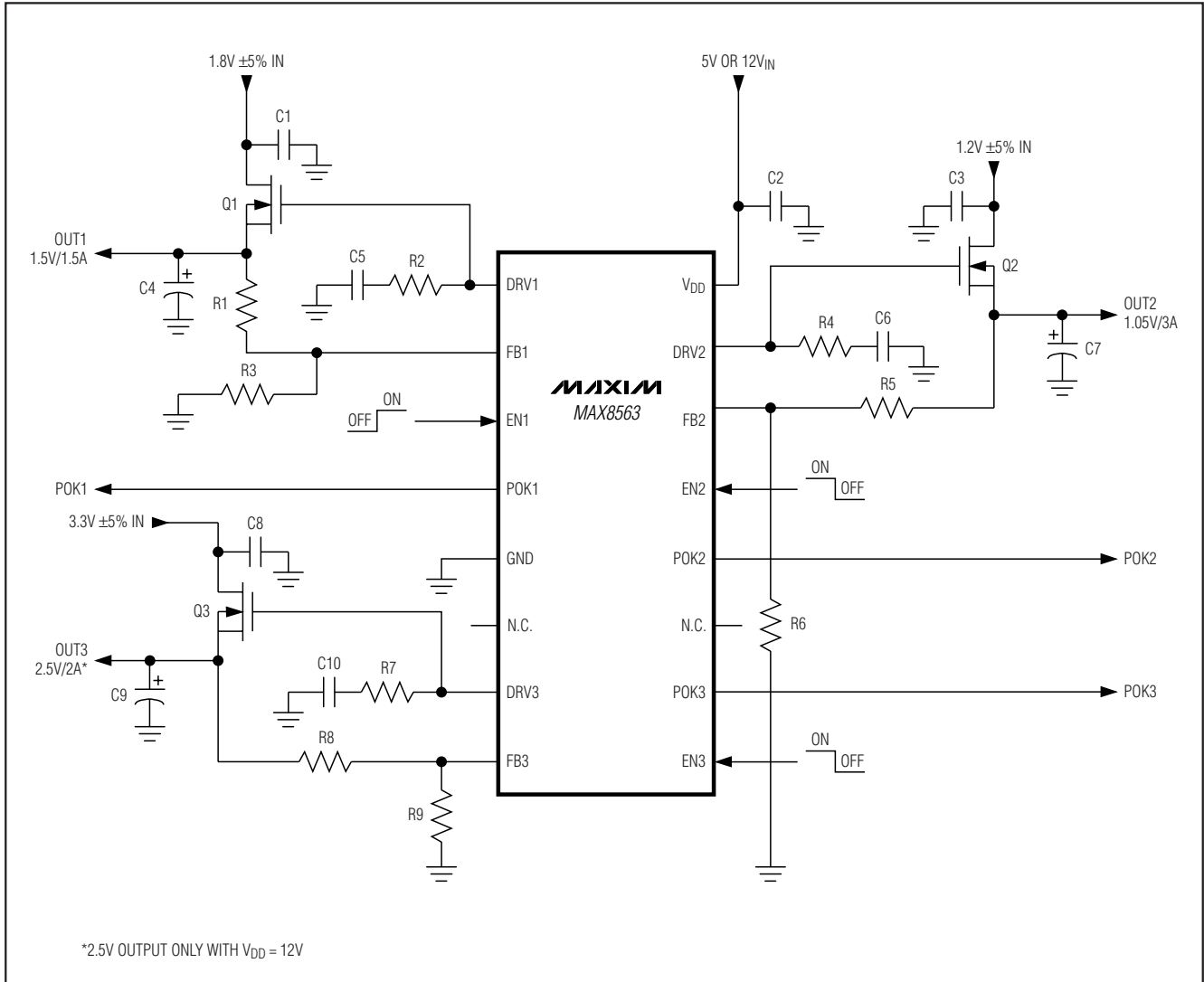


图 1. MAX8563 典型应用电路

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

典型应用电路(续)

MAX8564: 双输出

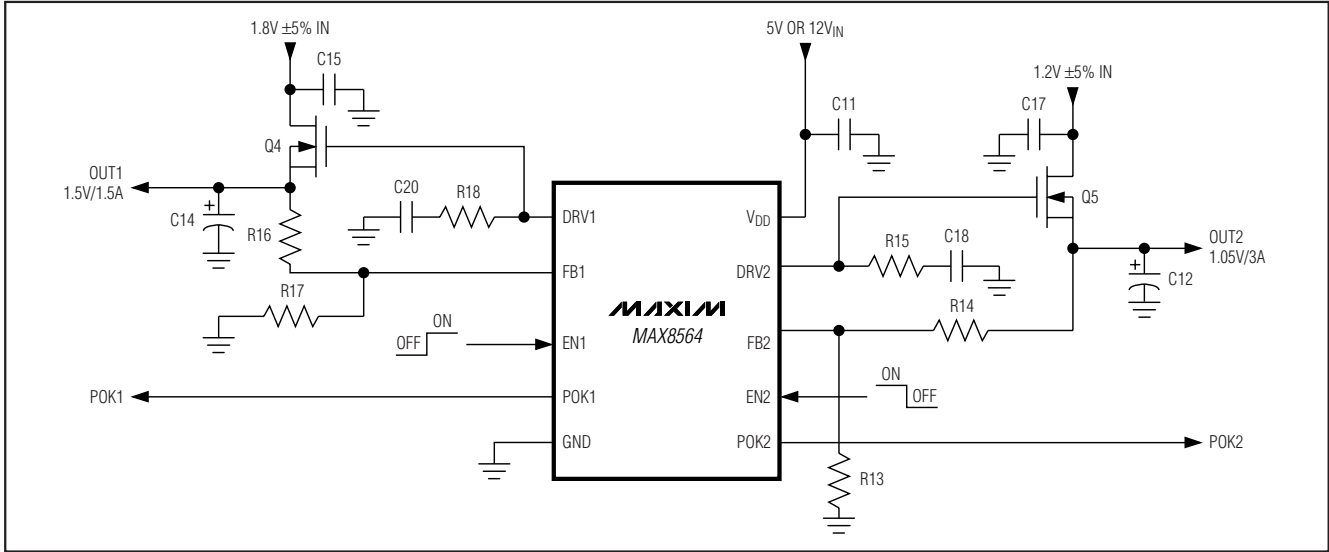


图 2. MAX8564 典型应用电路

MAX8563 外部器件清单

COMPONENTS	QTY	DESCRIPTION
C1, C3, C8	3	2.2 μ F, 10V X5R ceramic capacitors (optional 100 μ F, 18m Ω , 6.3V aluminum electrolytic, Sanyo GTPE100MI in parallel)
C2	1	0.1 μ F, 16V X7R ceramic capacitor
C4, C7, C9	3	100 μ F, 18m Ω , 6.3V aluminum electrolytic capacitors Sanyo GTPE100MI
C5, C6, C10	3	1 μ F, 16V X7R ceramic capacitors
Q1/Q2 (Dual)	1	Dual n-channel MOSFETs, 30V, 18m Ω Vishay Si4922DY
Q3	1	N-channel MOSFET, 30V, 50m Ω Fairchild Semiconductor FDD6630A
R1	1	665 Ω \pm 1% resistor
R2	1	620 Ω \pm 5% resistor
R3	1	332 Ω \pm 1% resistor
R4	1	390 Ω \pm 5% resistor
R5	1	182 Ω \pm 1% resistor
R6	1	165 Ω \pm 1% resistor
R7	1	910 Ω \pm 5% resistor
R8	1	1k Ω \pm 1% resistor
R9	1	249 Ω \pm 1% resistor

MAX8564 外部器件清单

COMPONENTS	QTY	DESCRIPTION
C11	1	0.1 μ F, 16V X7R ceramic capacitor
C12, C14	2	100 μ F, 18m Ω , 6.3V aluminum electrolytic capacitors Sanyo GTPE100MI
C15, C17	2	2.2 μ F, 10V X5R ceramic capacitors (optional 100 μ F, 18m Ω , 6.3V aluminum electrolytic, Sanyo GTPE100MI in parallel)
C18, C20	2	1 μ F, 16V X7R ceramic capacitors
Q4/Q5 (Dual)	1	Dual n-channel MOSFETs, 30V, 18m Ω Vishay Si4922DY
R13	1	165 Ω \pm 1% resistor
R14	1	182 Ω \pm 1% resistor
R15	1	390 Ω \pm 5% resistor
R16	1	665 Ω \pm 1% resistor
R17	1	332 Ω \pm 1% resistor
R18	1	620 Ω \pm 5% resistor

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

详细描述

MAX8563/MAX8564 双路和三路 LDO 控制器采用源极跟随结构，可通过控制外部 n 沟道 MOSFET 的栅极电压来实现灵活、廉价的电压变换。MAX8563/MAX8564 由多个相同的 LDO 控制器组成。每个 LDO 控制器都有一个使能输入端 (EN₋) 和一个“电源好”输出 (POK₋)。MAX8563/MAX8564 还内含一个 0.5V 电压基准、一个内部稳压器和一个欠压锁定 (UVLO) 电路。MAX8563/MAX8564 内部的跨导放大器可检测 FB₋ 上的反馈电压，并将该反馈电压同连接在正输入端的内部 0.5V 基准电压相比较，如果 FB₋ 上的反馈电压低于 0.5V，则栅极驱动输出端 DVR₋ 上的电流将会增加；如果 FB₋ 上的反馈电压高于 0.5V，则栅极驱动输出端 DVR₋ 上的电流将会减小。

偏置电压 (V_{DD})，UVLO 和软启动

MAX8563/MAX8564 内部电路的偏置电流是由 V_{DD} 提供的。V_{DD} 的范围是 4.5V 至 13.2V。如果 V_{DD} 降至低于 3.76V (典型值)，那么 MAX8563/MAX8564 会认为电源电压和基准电压都太低并启动 UVLO 电路。在欠压锁定期间，内部稳压器 (VL) 和内部带隙基准均被强制关闭，DRV₋ 被拉至 GND，POK₋ 也被拉低。

激活内部启动电路之前，V_{DD} 必须高于 UVLO 门限电压。当 UVLO 电路指示 V_{DD} 电压已足够高时，内部 VL 稳压器、内部带隙基准和偏置电路被激活。如果内部电压基准和偏置电路被激活之后 EN₋ 为逻辑高电平，那么相应的 DRV₋ 输出端开始软启动过程。一旦 FB₋ 上的电压达到调整门限的 94% 后，LDO 控制器允许满载输出电流。

当某一路 LDO 被激活后，一个典型值为 100μA 的软启动电流将相应的 DRV₋ 电位从 GND 拉高。软启动电流限制了输出电压的摆率，同时还降低了上电初始外部 n-MOSFET 漏极吸收的电流毛刺。补偿电容 (C_C) 的大小限制了摆率 (见图 3)，该摆率等于 (100/C_C) mV/ms，其中的 C_C 以 μF 为单位。启动期间的最大漏极电流等于 C_{OUT} 和 C_C 的比值乘以软启动电流 100μA。

输入电压 (外部 n-MOSFET 的漏极电压)

n-MOSFET 漏极上输入电压的最小值是所期望输出电压和 n-MOSFET 上压差的函数。该电压值的计算方法见功率 MOSFET 选择部分。

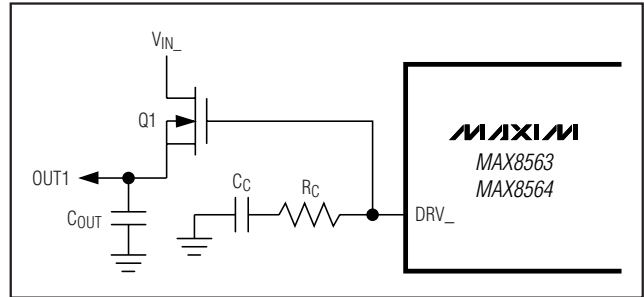


图 3. 软启动和补偿原理

n-MOSFET 漏极上输入电压的最大值取决于击穿电压及器件工作期间的散热条件。MOSFET 的漏源击穿电压在其数据手册中给出。理论上输入电压的最大值是输出电压和击穿电压之和。在考虑最大输入电压时，热限制往往成为最主要的制约因素。关于这方面计算的细节参见功率 MOSFET 选择部分。MOSFET 封装和电路板的散热能力是将热量从 n-MOSFET 中移走的主要途径。由于输出电压通常是设定的，并且最大输出电流也是固定值，因此最大输入电压就受限于 n-MOSFET 的功率容量 (如果该电压低于击穿电压的话，实际情况通常如此)。同时应确保输入电容能承受最大输入电压。

如果以 V_{DD} 和 EN₋ 先于 n-MOSFET 漏极输入的顺序上电，MAX8563/MAX8564 会驱动 DRV₋ 为高，但输出电压并不升高。随着 DRV₋ 上升而 V_{FB} 仍然低于调整点的 80%，MAX8563/MAX8564 会认为出现了短路故障并关断稳压器。为了避免这种错误状态，可在 V_{DD} 和 IN₋ 间连接一个电阻分压器，并将该分压器的中点与相应的 EN₋ 端连接 (见图 4)。分压电阻阻值的计算公式如下：

当 V_{IN} 关断或处于低压状态时：

$$0.7 > \left(\frac{R_E}{R_E + R_D} \right) \times (V_{DD} - V_{IN}) + V_{IN}$$

当 V_{IN} 开启或处于高压状态时：

$$1.3 < \left(\frac{R_E}{R_E + R_D} \right) \times (V_{DD} - V_{IN}) + V_{IN}$$

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

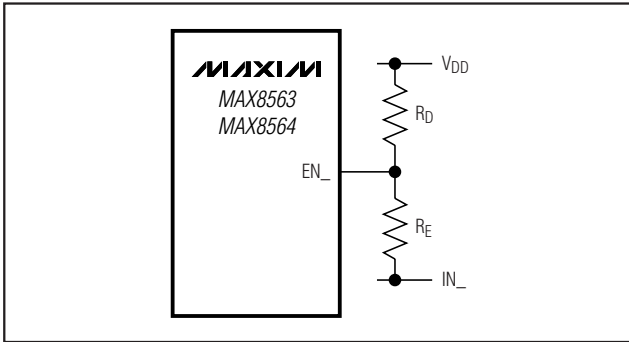


图 4. EN₋上的分压器

取 $R_D = 100\text{k}\Omega$ 。以上等式同时假定 V_{IN-} 导通且处于高电压状态时 $V_{DD} > V_{IN-} > 1\text{V}$ ，并且 $V_{DD} > 3\text{V}$ 。

例如：在 EN 与 V_{DD} 之间接一个 $100\text{k}\Omega$ 的电阻，在 EN₋ 与 IN_- 之间接一个 $4\text{k}\Omega$ 的电阻。这样，当 $V_{DD} = 12\text{V}$ ， $V_{IN-} = 0\text{V}$ 时， $V_{EN-} = 0.46\text{V}$ 。当 $V_{DD} = 12\text{V}$ ， $V_{IN-} = 1.2\text{V}$ 时， $V_{EN-} = 1.6\text{V}$ 。

作为另外一种选择，为避免由于 V_{IN} 相对于 V_{DD} 的滞后引起错误关断，可用一个独立的控制逻辑拉低 EN₋，直到 V_{IN} 达到稳态值时，该控制逻辑再将其拉高。

输出电压

当 V_{DD} 为 12V 时，n 沟道 MOSFET 的源极输出电压范围为 0.5V 至 3.3V ，当 V_{DD} 为 5V 时，其输出电压范围为 0.5V 至 1.8V 。最大输出电压值是 MOSFET 栅源最小电压 (V_{GS}) 与 V_{DD} 的函数。

外部 n 沟道 MOSFET 源极与漏极之间有一个寄生二极管。如果输出电压有可能高于输入电压，会有电流从源极流入漏极。如果不希望出现这种情况，就需要有外部保护。比较简单的方法就是在 IN_- 端和 n 沟道 MOSFET 的漏极之间串联一个二极管，来确保无反向电流。由于二极管有正向压降，因此降低了最大输出电压，而且二极管还要消耗额外的能量。

使能和 POK

MAX8563/MAX8564 具有独立的使能控制输入端 (EN1、EN2 和 EN3)。拉高 EN1，输出 1 工作；拉高 EN2，输出 2 工作；拉高 EN3，输出 3 工作。拉低 EN₋ 时，相应的 DRV₋ 被拉低至 GND，POK₋ 也被内部拉低。

POK₋ 是一个漏极开路输出，可提供输出电压的状态指示，根据电路的状态被拉低。在启动期间，一旦 FB₋ 的电压达到 POK₋ 的阈值时，POK₋ 信号将变为高电平。POK₋ 阈值有 30mV 的滞回。当输出电压下降幅度超过稳压额定值的 12% 时，POK₋ 拉低。在 UVLO 被激活或内置的 VL 稳压器和基准电压源还没有稳定时，所有 POK₋ 输出为低电平。

输出欠压和过载保护

在出现过载或短路时，最容易损坏的器件就是外部的 n 沟道 MOSFET。MAX8563/MAX8564 通过监测输出电压来保护 MOSFET。当 DRV₋ 电压处于最大值而输出电压降到标称电压值的 80% 以下 (仍在 60% 以上)，且持续时间大于 $50\mu\text{s}$ 时，MAX8563/MAX8564 就会把 DRV₋ 拉至 GND，关断这个稳压器输出。需要注意的是，在关断 MOSFET 时，存在一个固有延迟。这个延迟时间与补偿电容、MOSFET 有关。如果在 $50\mu\text{s}$ 内输出电压又恢复到标称电压的 80% 以上，就不将其视为过载，也不采取任何保护措施。当输出电压降到额定电压的 60% 以下时，MAX8563/MAX8564 立即将 DRV₋ 拉至 GND，关断这个稳压器输出。要想重新启动该 LDO，必须将 V_{DD} 拉低到 UVLO 门限以下并重新加载，或拉低相应的 EN₋ 后再重新加载。过载保护功能如典型工作特性所示。

设计过程

输出电压设定

MAX8563/MAX8564 的每个控制器的最小输出电压的典型值均为 0.5V 。当 $V_{DD} = 12\text{V}$ 时，最大输出电压可调节至 3.3V ，当 $V_{DD} = 5\text{V}$ 时，则可调节至最高 1.8V 。将 FB₋ 引脚接到 OUT₋ 与 GND 之间的分压器的中点 (图 5)，来设定输出电压值的大小。对于每 1A 最大输出电流，电阻分压器的电流至少应为 1mA 。也就是说，对于 3A 的最大输出电流，则应将电阻分压器的偏流设为 $\geq 3\text{mA}$ 。

$$I_{\text{OUT(MIN)}} \geq \frac{I_{\text{OUT(MAX)}}}{1000}$$

$$R_B \leq \frac{V_{\text{FB}}}{I_{\text{OUT(MIN)}}} = 1000 \times \frac{V_{\text{FB}}}{I_{\text{OUT(MAX)}}} = \frac{500}{I_{\text{OUT(MAX)}}}$$

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

$$R_A = R_B \times \left[\left(\frac{V_{OUT}}{V_{FB}} \right) - 1 \right] = R_B \times (2 \times V_{OUT} - 1)$$

若要将输出电压设定为 0.5V，可将 R_B 从 FB_- 端断开，并将其接至 OUT_- 端。这种改变使输出上的最小负载要求保持不变。在本例中， R_A 可在 1k Ω 与 10k Ω 之间取值。

输入和输出电容选择

输入滤波电容可以向稳压器提供较低的输入阻抗，也可在瞬态响应期间降低输入电源的峰值电流。 IN_- 端 (外部 n 沟道 MOSFET 漏极) 与 GND 之间的输入电容的最小值为 2.2 μF ，可采用陶瓷电容 (参见图 1 和图 2)。如果预计的输入电压瞬态响应或负载瞬态响应更大的话，就要增加输入电容以最大限度的减小输出电压的变化。

输出滤波电容及其等效串联电阻 (ESR) 有助于稳压器的稳定 (参见稳定性补偿部分)，并对负载瞬态响应有影响。如果存在较大的阶跃负载 (从无负载到满负载)，并要求极快的响应 (响应时间要小于几个微秒)，此时要用一个 100 μF ，18m Ω 的 POSCAP 输出电容。若想采用更大的电容，注意要保持电容 ESR 乘积 ($C_{OUT} \times R_{ESR}$) 在 1 μs 至 5 μs 范围内。

如果应用中预计的负载阶跃较小 (小于满量程负载的 50%)，则每安培最大输出电流可采用一个 6.8 μF 或更大的陶瓷输出电容。这样将减小稳压电路的尺寸，降低成本。需要注意的是，某些陶瓷电容随温度会有较大的变化。采用 X7R 或 X5R 系列的电介质电容以确保在所有工作温度下都具有足够的容量。不推荐选用钽电容和铝电容。

功率 MOSFET 选择

MAX8563/MAX8564 选用 n 沟道的 MOSFET 作为串联的晶体管，而不是采用 p 沟道的 MOSFET，这样可以降低成本。所选用的 MOSFET 的栅极阈值电压必须满足以下要求：

$$V_{GS_MAX} \leq V_{DD} - V_{OUT_}$$

其中， V_{DD} 是控制器的偏置电压， V_{GS_MAX} 是提供导电电阻 (R_{DS_ON}) 所需的最大栅极电压，在器件制造商的数据手册中有规定。 R_{DS_ON} 与最大输出电流 (负载电流) 相乘就是 MOSFET 两端的最大电压差 V_{DS_MIN} 。要确保

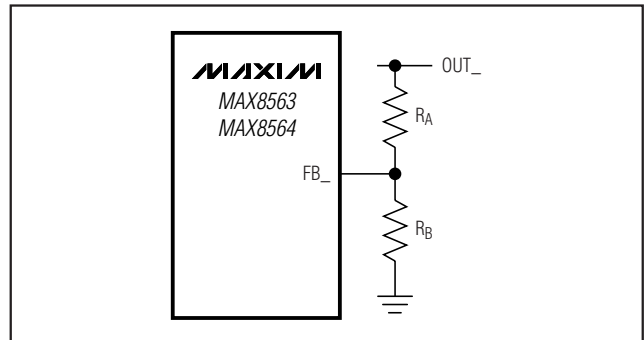


图 5. 可调节的输出电压

V_{DS_MIN} 满足以下条件，以免其进入电压跌落状态。电压跌落状态下，输出电压开始下降，并且输入中的所有纹波都会直通到输出。

$$V_{IN_MIN} > V_{DS_MIN} + V_{OUT}$$

其中， V_{IN_MIN} 是 MOSFET 漏极的最小输入电压， V_{DS_MIN} 的温度系数为正，因此，要使用在最高工作结温时的 V_{DS_MIN} 值。

对于热管理，MOSFET 的最大功耗的计算公式如下：

$$P_D = (V_{IN_MAX} - V_{OUT}) \times I_{OUT_MAX}$$

MOSFET 通常采用 SMT 封装，参考 MOSFET 的器件数据手册中所规定的满足最大工作结温时对于 PC 板面积的要求。

稳定性补偿

电阻 R_C 和电容 C_C 串联后一端接 DRV_- 引脚，另一端接地。这个补偿网络的取值大小是由外部 MOSFET 的电气特性、输出电流的范围以及所设定输出电压的大小来决定的。下列这些参数均可从 MOSFET 的数据手册上获得：输入电容 (在 $V_{DS} = 1V$ 时的 C_{ISS} 的值)、典型前向跨导 (g_{FS}) 以及规定 g_{FS} 时的电流 (I_{DFS})。在最大负载电流下 (I_{OUT_MAX}) 计算 FET 跨导：

$$g_C(MAX) = g_{FS} \times \sqrt{\frac{I_{OUT_MAX}}{I_{DFS}}}$$

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

为了能在较大阶跃负载应用中获得最佳的瞬态响应 (参见输入和输出电容选择部分所描述的对输出电容的要求), 可采用如下公式来选择补偿元件。

$$C_C = \frac{\left[0.16 \times V_{OUT} \times C_{OUT} \times \left(g_{C(MAX)} \times (g_{C(MAX)} \times R_{ESR} + 1) \right) \right]}{\left(g_{C(MAX)} \times V_{OUT} + I_{OUT_MAX} \right)^2} - C_{ISS}$$

$$R_C = 59 \times \frac{V_{OUT} \times C_{OUT} (g_{C(MAX)} \times R_{ESR} + 1)}{C_C \times (g_{C(MAX)} \times V_{OUT} + I_{OUT_MAX})}$$

其中 C_{OUT} 是输出电容, R_{ESR} 是 C_{OUT} 输出电容的 ESR。

若想要选用低成本的陶瓷电容 (参见输入和输出电容选择部分对负载瞬态响应特性的描述), 可采用如下公式来选择补偿元件。

$$C_C = \frac{C_{OUT} \times g_{C(MAX)}}{\left(g_{C(MAX)} \times V_{OUT} + I_{OUT_MAX} \right)} - C_{ISS}$$

$$R_C = 15 \times \frac{C_{OUT}}{C_C \times g_{C(MAX)}}$$

举例

本例基于图 1 的 OUTPUT 1 展开。表 1 为计算补偿所需要的参数。这些数值都来自于图 1 和相应器件的数据手册。

表 1. 计算补偿所需的参数

PARAMETER	CONDITIONS	VALUE	UNITS
MOSFET C_{ISS}	$V_{DS} = 1V$	2500	pF
MOSFET G_{FS}	$I_{DFS} = 8.8A$	30	S
V_{OUT1}	Figure 1	1.5	V
I_{OUT_MAX}	Figure 1	1.5	A
C_{OUT1}	Figure 1	100	μF
R_{ESR}	Figure 1	18	$m\Omega$

$$g_{C(MAX)} = 30S \times \sqrt{\frac{1.5A}{8.8A}} = 12.4S$$

$$C_C = 0.16 \times \frac{1.5V \times 100\mu F \times 12.4S \times \left(\frac{12.4S \times 18m\Omega + 1}{18m\Omega + 1} \right)}{\left(12.4S \times 1.5V + 1.5A \right)^2} - 2500pF = 0.90\mu F, \text{ use } 1\mu F.$$

$$R_C = 59 \times \frac{7.5V \times 100\mu F \times (12.4S \times 18m\Omega + 1)}{1\mu F (12.4S \times 1.5V + 1.5A)} = 599.4\Omega, \text{ use } 620\Omega.$$

PC 板布局准则

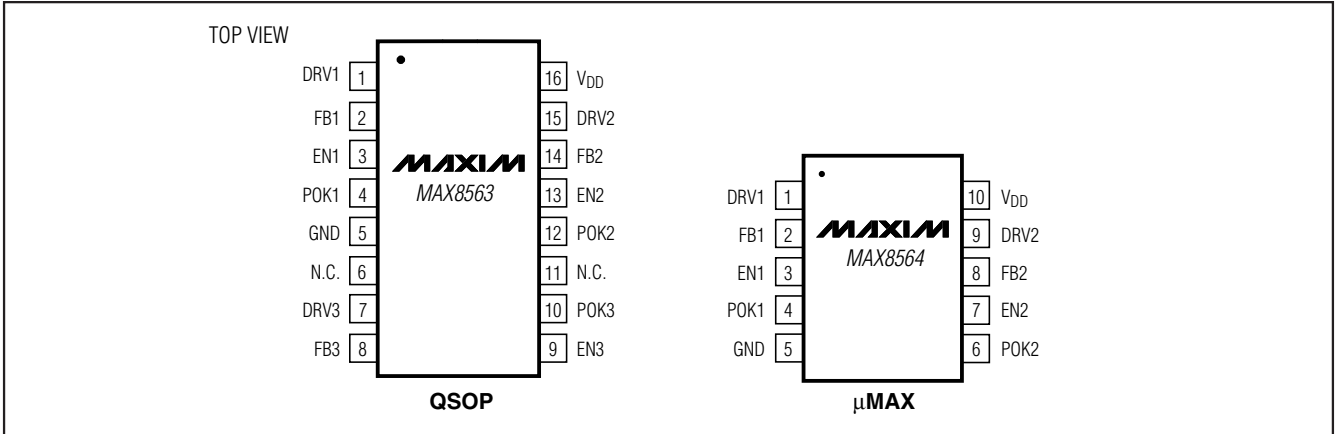
大多数应用都要求大电流布线和严格的输出精度, 因此, 要求仔细的 PC 板布局。利用该器件的评估板 (MAX8563EVKIT) 可以加快设计的进程。

要确保所有布线都尽可能短, 这对增大大电流线径以降低寄生电感的影响非常重要。由于存在大电流, MOSFET 可能会产生大量的热量, 特别是当输入电压和输出电压之间的压差较大时。为了把 MOSFET 产生的热量散发出去, 可使功率连线非常宽, 并且有足够的敷铜面积。当采用表面贴封装的器件时, 若想达到较好的散热效果, 最有效的方法就是在 MOSFET 的正下方, 在多个层面上敷铜, 并将这些敷铜通过过孔连接。采用一个地平面可将阻抗和电感减至最小。除了和大功率有关的一般注意事项外, 这里还特别强调四点, 来保证高精度的输出:

- 确保到 $C_{OUT_}$ 的反馈连接短且直。
- 反馈电阻要紧挨着 FB 引脚放置。
- R_C 和 C_C 要紧挨着 DRV_ 引脚放置。
- 保证 FB_ 和 DRV_ 布线远离噪声源, 以确保高精度。

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

引脚配置



MAX8563/MAX8564

芯片信息

TRANSISTOR COUNT: 1801

PROCESS: BiCMOS

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)

DIM	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	.061	.068	1.55	1.73
A1	.004	.0098	0.102	0.249
A2	.055	.061	1.40	1.55
B	.008	.012	0.20	0.31
C	.0075	.0098	0.191	0.249
D	SEE VARIATIONS			
E	.150	.157	3.81	3.99
e	.025 BSC		0.635 BSC	
H	.230	.244	5.84	6.20
h	.010	.016	0.25	0.41
L	.016	.035	0.41	0.89
N	SEE VARIATIONS			
X	SEE VARIATIONS			
Y	.071	.087	1.803	2.209
α	0°	8°	0°	8°

DIM	INCHES		MILLIMETERS		N
	MIN.	MAX.	MIN.	MAX.	
D	.189	.196	4.80	4.98	16 AA
S	.0020	.0070	0.05	0.18	
X	.107	.123	2.72	3.12	
D	.337	.344	8.56	8.74	20 AB
S	.0500	.0550	1.270	1.397	
D	.337	.344	8.56	8.74	24 AC
S	.0250	.0300	0.635	0.762	
D	.386	.393	9.80	9.98	28 AD
S	.0250	.0300	0.635	0.762	
X	.271	.287	6.88	7.29	

NOTES:
 1. D & E DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
 2. MOLD FLASH OR PROTRUSIONS NOT TO EXCEED .006" PER SIDE.
 3. HEAT SLUG DIMENSIONS X AND Y APPLY ONLY TO 16 AND 28 LEAD POWER-QSDP PACKAGES.
 4. CONTROLLING DIMENSIONS: INCHES.
 5. MEETS JEDEC MO137.

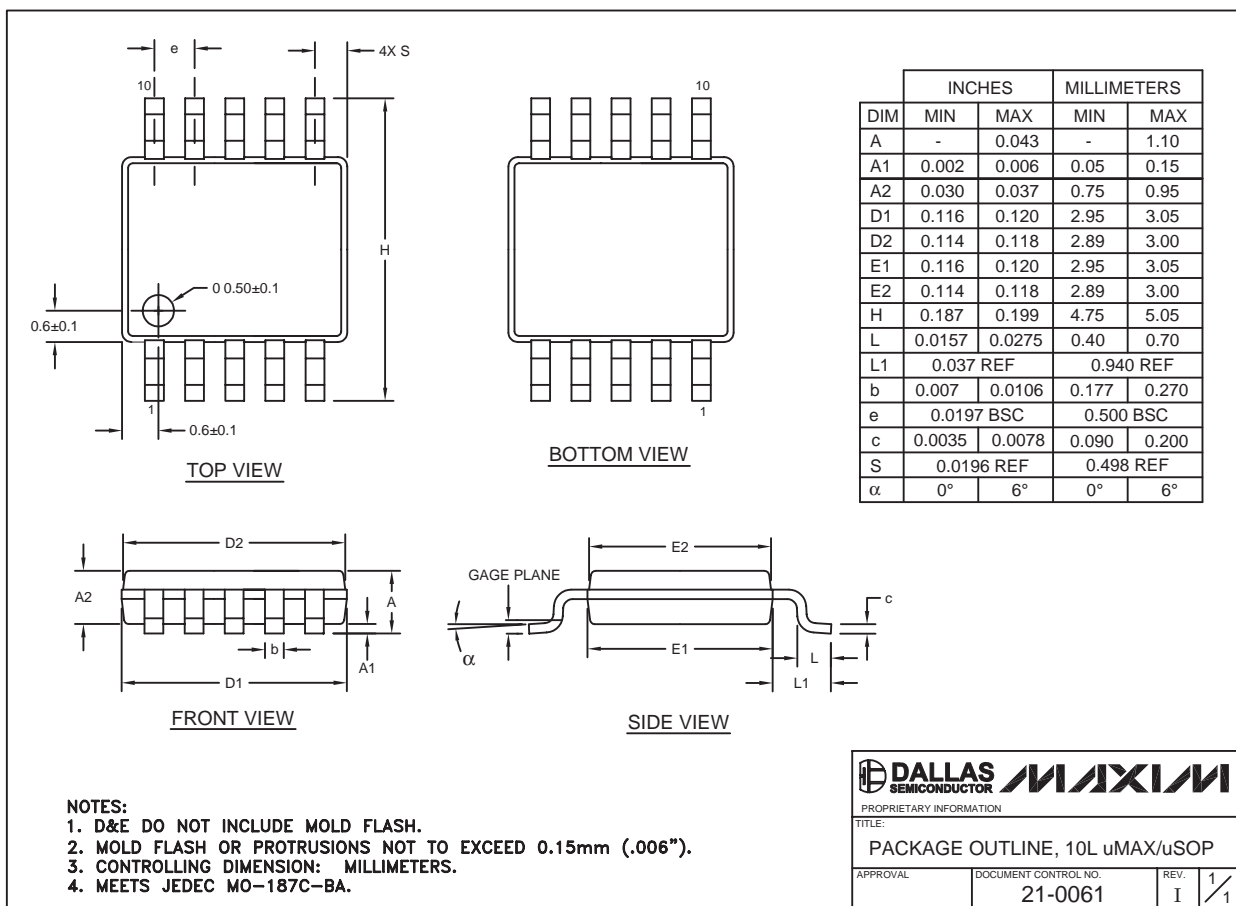
MAXIM
 PROPRIETARY INFORMATION
 TITLE:
 PACKAGE OUTLINE, QSDP, .150", .025" LEAD PITCH
 APPROVAL: _____ DOCUMENT CONTROL NO. 21-0055 REV C 1/1

±1%、超低输出电压、 双路和三路线性 n-FET 控制器

封装信息 (续)

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 www.maxim-ic.com.cn/packages.)

MAX8563/MAX8564



MAXIM 北京办事处

北京 8328 信箱 邮政编码 100083
 免费电话: 800 810 0310
 电话: 010-6201 0598
 传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600 15