

TL16C550B

TL16C550BI

异步通信单元

一、概述

1.1 一般说明

TL16C550B和TL16C550BI是TL16C450异步通信单元(ACE)的功能升级产品,上电时在功能上与TL16C450等效(字符方式⁺)。TL16C550B和TL16C550BI可被置于另一种方式(FIFO)以减轻CPU过量的软件开销。

在这种FIFO方式中,接收和发送方式时,内部FIFOs可储存16个字节(在接收器FIFO中每个字节包括3个错误数据位)。为了使系统开销最小并使系统效率最大,所有逻辑均在片内。TL16C450的两个引脚功能已改变为TXRDY和RXRDY以允许DMA传输信号。

TL16C550B及TL16C550BI对从外围器件或调制解调器接收的数据实行串行至并行的转换,对从CPU接收的数据实行并行至串行的转换。在ACE工作的任何时候CPU均可读和报告ACE的状态。这些状态信息包括:正在进行的传输工作类型、工作状态以及遇到的任何错误条件。

TL16C550B和TL16C550BI ACE包括可编程的片内波特率产生器,它能用1至($2^{16}-1$)的除数对基准时钟分频并产生驱动内部发送器逻辑的16×时钟。它还包括一些措施以便将这种16×时钟用于驱动接收器逻辑。在ACE中也包括完善的调制解调器控制能力和处理器中断系统,能满足用户想使通信链路的软件管理量最小的要求。

TL16C550B具有40脚DIP(N)封装、44脚PLCC(FN)封装和48脚TQFP(PT)封装。TL16C550BI具有44脚PLCC(FN)封装。

+ TL16C550B和TL16C550BI也可在软件控制下复位至TL16C450方式。

1.2 特点

- 可用所有现有的TL16C450软件运行
- 复位后所有寄存器与TL16C450寄存器组相同
- 在FIFO方式下,用16字节FIFOs缓冲每个发送器和接收器以减小CPU中断的数量
- 在TL16C450方式下,保持和移位寄存器消除了CPU和串行数据之间精确同步的需求
- 可编程的波特率产生器允许对任何输入基准时钟以1至($2^{16}-1$)的除数分频并产生内部16×时钟
- 标准的异步通信位(起始、停止及奇偶校验)加至串行数据流或从串行数据流删除
- 独立的接收器时钟输入
- 独立控制的发送、接收、线状态以及数据设置中断
- 完全可编程的串行接口特性:
 - 5、6、7、8位字符
 - 奇、偶或无奇偶校验位产生和检测
 - 1、1 1/2、2个停止位产生
 - 波特率产生(直流至256K位/秒)
- 故障启动位检测
- 完整的状态报告能力
- 三态输出可以提供适用于双向数据总线和控制总线的TTL驱动能力
- 线中断产生和检测
- 内部诊断能力:
 - 回环控制用于通信连接故障隔离
 - 中断、校验、溢出及帧故障模拟
- 完全优先级中断系统控制
- 调制解调器控制功能(CTS、RTS、DSR、DTR、R1和DCD)
- 是国家半导体公司NS16550A的快速插入式替代品

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

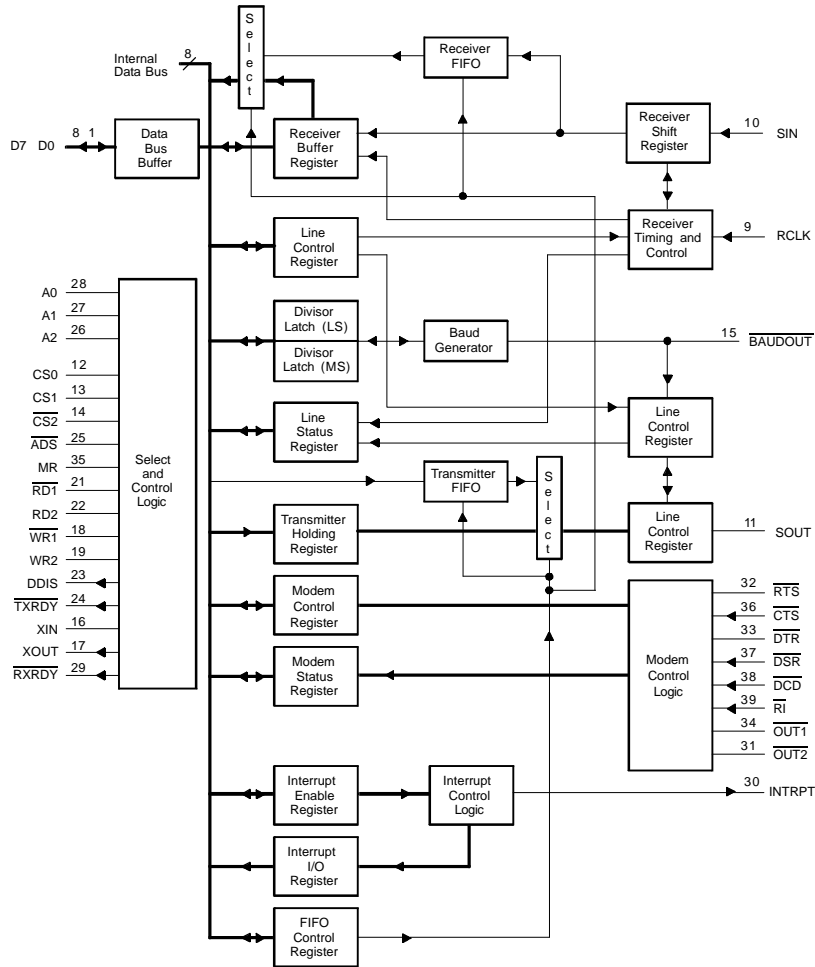
信箱:武汉市70020信箱

邮编:430079

电话:(86)(027)87493500~87493506

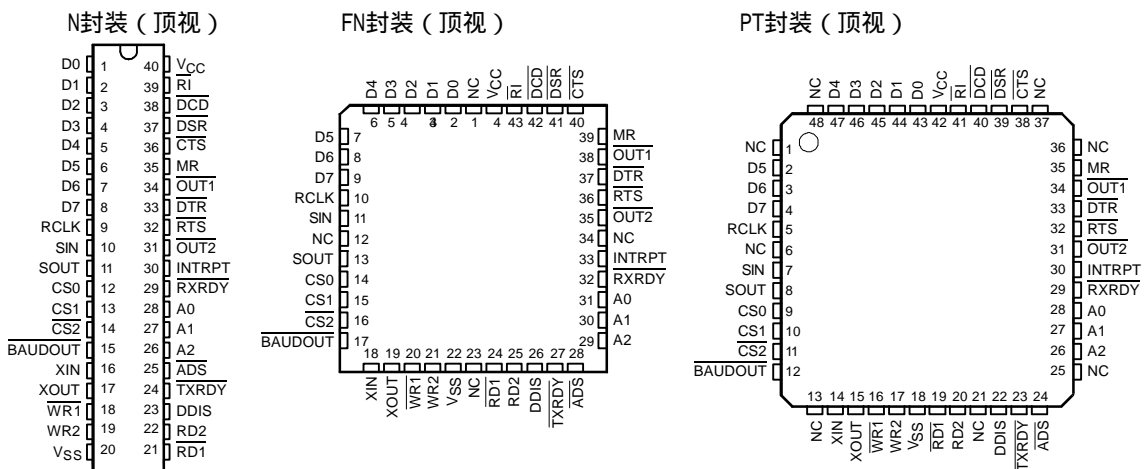
传真:(86)(027)87491166, 87493493

1.3 功能方框图



所示的引脚号适用于N封装。

1.4 引脚排列及引脚功能



P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

P&S网网址：<http://www.p8s.com>

信箱：武汉市70020信箱

邮编：430079

电话：(86) (027) 87493500 ~ 87493506

传真：(86) (027) 87491166, 87493493

引脚功能

名称	脚			I/O	说明
	编号 (N)	编号 (FN)	编号 (PT)		
A0	28	31	28	I	寄存器选择。A0-2用于在读写操作期间选择读出或写入的ACE寄存器。关于寄存器的地址参见表1,还可参见地址选通信号(ADS)说明
A1	27	30	27		
A2	26	29	26		
$\overline{\text{ADS}}$	25	28	24	I	地址选通(Address strobe)。当 $\overline{\text{ADS}}$ 有效(低电平时),A0、A1和A2以及CS0、CS1和 $\overline{\text{CS2}}$ 直接驱动内部选择逻辑;当ADS为高电平时,寄存器选择和芯片选择信号保持在 $\overline{\text{ADS}}$ 低至高瞬变发生时它们所处的逻辑电平上
$\overline{\text{BAUDOUT}}$	15	17	12	O	波特(Baud)输出。 $\overline{\text{BAUDOUT}}$ 是适用于ACE发送器部分的16×时钟信号。时钟速率由基准振荡器频率除以除数所确定,此除数由波特率产生器除数锁存器规定。通过把此输出连接至RCLK, $\overline{\text{BAUDOUT}}$ 也可用于接收器部分
CS0	12	14	9	I	芯片选择。当CS0和CS1为高电平且 $\overline{\text{CS2}}$ 为低电平时,这三个输入选择ACE。当这些输入的任何一个无效时,ACE保持无效(参见ADS说明)
CS1	13	15	10		
$\overline{\text{CS2}}$	14	16	11		
$\overline{\text{CTS}}$	36	40	38	I	清零发送(clear to send)。 $\overline{\text{CTS}}$ 是调制解调器状态信号。其状况可通过读调制解调器状态寄存器位4(CTS)来检查。调制解调器状态寄存器位0($\overline{\text{CTS}}$)指示自从上次读调制解调器状态寄存器以来 $\overline{\text{CTS}}$ 已改变状态。如果在 $\overline{\text{CTS}}$ 改变电平时调制解调器状态中断被允许,那么产生中断
D0	1	2	43	I/O	数据总线。八条具有3态输出的数据线在ACE和CPU之间提供数据、控制和状态信息的双向通路
D1	2	3	44		
D2	3	4	45		
D3	4	5	46		
D4	5	6	47		
D5	6	7	2		
D6	7	8	3		
D7	8	9	4		
$\overline{\text{DCD}}$	38	42	40	I	数据载体检测(Data carrier detect)。 $\overline{\text{DCD}}$ 是调制解调器状态信号。它的状况可通过读调制解调器状态寄存器位7(DCD)来检查。调制解调器状态寄存器位3($\overline{\text{DCD}}$)指示自从上次读调制解调器状态寄存器以来 $\overline{\text{DCD}}$ 已改变状态。如果当 $\overline{\text{DCD}}$ 改变电平时允许调制解调器状态中断,那么就产生中断
DDIS	23	26	22	O	驱动器禁止(Driver disable)。当CPU不读数据时DDIS有效(高)。当DDIS有效时,它可禁止外部收发器

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86)(027)87493500~87493506

P&S网网址: <http://www.p8s.com>

邮编:430079

传真:(86)(027)87491166, 87493493

\overline{DSR}	37	41	39	1	数据组准备就绪 (Data set ready)。 \overline{DSR} 是调制解调器状态信号。它的状况可通过读调制解调器状态寄存器位5 (DSR) 来检查。调制解调器状态寄存器位1 (\overline{DSR}) 指示自从上次读调制解调器状态寄存器以来DSR已改变电平。如果当 \overline{DSR} 改变电平时允许调制解调器状态中断,那么就产生中断
\overline{DTR}	33	37	33	0	数据终端准备就绪 (Date terminal ready)。当 \overline{DTR} 有效 (低电平)时,它通知调制解调器或数据组,ACE已准备好建立通信。通过设置调制解调器控制寄存器的DTR位可以把 \overline{DTR} 置为有效电平。在环 (loop) 方式工作期间,或清零DTR位时,或作为主机复位的结果, \overline{DTR} 被置为无效电平
INTRPT	30	33	30	0	中断。当INTRPT有效 (高电平)时,它通知CPU:ACE有中断需要服务。导致发出中断的四个条件是:接收器出错,接收数据可供使用或超时 (仅FIFO方式),发送器保持寄存器 (transmitter holding register) 空,或被允许的调制解调器状态中断。当中断被服务或主机复位时,INTRPT被复位 (不再有效)
MR	35	39	35	1	主机复位 (Master reset)。当MR有效 (高电平)时,它清零大多数ACE寄存器并设置各种输出信号电平 (参见表2)
$\overline{OUT1}$ $\overline{OUT2}$	34 31	38 35	34 31	0	输出1和2。这些用户指定的输出端可通过设置各自的调制解调器控制寄存器 (MCR) 位 ($\overline{OUT1}$ 和 $\overline{OUT2}$) 为高电平而被置为有效 (低电平)。在环 (loop) 方式工作期间,主机复位或清零MCR的位2 ($\overline{OUT1}$) 或位3 ($\overline{OUT2}$) 将把 $\overline{OUT1}$ 和 $\overline{OUT2}$ 设置为无效 (高) 电平
RCLK	9	10	5	1	接收器时钟。RCLK是适用于ACE接收器部分的16×波特率时钟
$\overline{RD1}$ RD2	21 22	24 25	19 20	1	读输入。当 $\overline{RD1}$ 或RD2有效 (分别为低或高电平)同时ACE被选时,允许CPU从所选的ACE寄存器中读状态信息或数据。在读操作期间为了传送数据只需要这些输入之一;其余输入应连接到其无效电平 (即RD2连接低电平或 $\overline{RD1}$ 连接到高电平)
\overline{RI}	39	43	41	1	振铃指示器 (Ring indicator)。 \overline{RI} 是调制解调器状态信号。其状况可通过读调制解调器状态寄存器位6 (RI) 来检查。调制解调器状态寄存器位2 (TERI) 指示自从上次读调制解调器状态寄存器以来 \overline{RI} 已从低电平跳至高电平。如果在此跳变发生时,允许调制解调器状态中断,那么中断就发生
\overline{RTS}	32	36	32	0	请求发送 (Reguest to send)。当 \overline{RTS} 有效时,它通知调制解调器或数据组,ACE已准备好接收数据。通过设置RTS调制解调器控制寄存器位可把 \overline{RTS} 设置为有效电平,主机复位或环 (loop) 方式工作期间或清零MCR的位1 (RTS)可把它置为无效 (高) 电平

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编:430079

传真:(86) (027) 87491166, 87493493

RXRDY	29	32	29	0	接收器准备就绪。通过RXRDY接收器直接存储器访问 (DMA) 信号可供使用。当工作于FIFO方式时, 使用FIFO控制寄存器位3 (FCR3) 可选择两种类型的DMA信号之一。当工作于TL16C450方式时, 仅允许DMA方式0。方式0支持单传送 (single-transfer) DMA, 在这种DMA中, 传送在CPU总线周期之间进行。方式1支持多传送DMA, 在这种DMA中, 连续进行多次传送直至接收器FIFO为空为止。在DMA方式0 (FCR0=0或FCR0=1, FRC3=0), 当至少有1个字符在接收器FIFO或接收器保持寄存器中时RXRDY为有效 (低电平)。当RXRDY已经有效但FIFO或保持寄存器中没有字符时, RXRDY变为无效 (高电平)。在DMA方式1 (FCR0=1, FCR3=1), 当达到触发电平或超时 (time-out) 时, RXRDY变为有效 (低); 当它已经有效但在FIFO或保持寄存器中不再有字符时, 它将变为无效 (高)
SIN	10	11	7	1	串行数据输入。SIN是来自所连接通信设备的串行数据输入
SOUT	11	13	8	0	串行数据输出。SOUT是送至所连接通信设备的合成串行数据输出。主机复位时, SOUT被置为符号 (marking, 高) 电平
TXRDY	24	27	23	0	发送器准备就绪。通过TXRDY发送器DMA信号可供使用。当工作在FIFO方式时, 利用FCR3可以选择两种类型的DMA信号之一。当工作在TC16C450方式时, 只允许DMA方式0。方式0支持单传送 (Single-transfer) DMA, 在这种DMA中, 传送在CPU总线周期之间进行。方式1支持多传送 (multitransfer) DMA, 在这种DMA中, 连续进行多次传送直至发送FIFO满为止
V _{cc}	40	42	44		5V电源
V _{ss}	20	22	18		电源公共端
WR1 WR2	18 19	20 21	16 17	1	写输入。当WR1或WR2有效 (分别为低或高电平) 且ACE被选中时, 允许CPU把控制字或数据写入所选的ACE寄存器。在写操作期间, 为了传送数据只需要这些输入之一; 其他输入应当连接至其无效电平 (即, WR2连接到低电平或WR1连接到高电平)
XIN XOUT	16 17	18 19	14 15	1/ 0	外部时钟。XIN和XOUT把ACE连接到主定时基准 (时钟或晶体)

二、特性

2.1 工作温度范围内 (自然通风) 的极限参数 (除非另有说明) +

电源电压范围, V _{cc} (见注释1)	-0.5V 至7V
任何输入端的输入电压范围, V _i	-0.5V至7V
输出电压范围, V _o	-0.5V至7V
连续总功耗 (70 或70 以下)	300mW
工作温度范围 (自然通风), T _A : TL16C550B	0 至70
TL16C550BI	-40 至85
储存温度范围, T _{stg}	-65 至150
外壳温度, 10秒, T _c : FN封装	260

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱: 武汉市70020信箱

邮编: 430079

电话: (86) (027) 87493500 ~ 87493506

传真: (86) (027) 87491166, 87493493

引线温度，离外壳1.6mm(1/16英寸)，10秒：N或PT封装

260

+ 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数，并不意味着在极限参数条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作会影响器件的可靠性。

注释：1. 所有电压均相对于 V_{SS} 。

2.2 推荐工作条件

		MIN	NOM	MAX	单位
电源电压, V_{CC}		4.75	5	5.25	V
高电平输入电压, V_{IH}		2		V_{CC}	V
低电平输入电压, V_{IL}		-0.5		0.8	V
工作温度范围(自然通风), T_A	TL16C550B	0		70	
	TL16C550BI	-40		85	

2.3 电特性

2.3.1 在推荐的电源电压和工作温度(自然通风)范围内的电特性(除非另有说明)

PARAMETER	TEST CONDITIONS	MIN	TYP*	MAX	UNIT
V_{OH} * High-level output voltage	$I_{OH} = -1$ mA		2.4		V
V_{OL} * Low-level output voltage	$I_{OL} = 1.6$ mA			0.4	V
I_I Input current	$V_{CC} = 5.25$ V, $V_I = 0$ to 5.25 V, $V_{SS} = 0$, All other terminals floating			10	μ A
I_{OZ} High-impedance-state output current	$V_{CC} = 5.25$ V, $V_O = 0$ to 5.25 V, Chip selected in write mode or chip deselect			± 20	μ A
I_{CC} Supply current	$V_{CC} = 5.25$ V, SIN, DSR, DCD, CTS, and R1 at 2 V, All other inputs at 0.8 V, No load on outputs, $T_A = 25^\circ$ C, XTAL1 at 4 MHz Baud rate = 50 kbit/s			10	MA
C_i (CLK) Clock input capacitance			15	20	pF
C_o (CLK) Clock output capacitance	$V_{CC} = 0$, $f = 1$ MHz		20	30	pF
C_i Input capacitance	$V_{SS} = 0$, $T_A = 25^\circ$ C, All other terminals grounded		6	10	pF
C_o Output capacitance			10	20	pF

+ 所有典型值是 $V_{CC}=5$ V和 $T_A=25$ 时的数值。

* 这些参数适用于除XOUT之外的所有输出端。

2.3.2 在推荐的电源电压和工作温度(自然通风)范围内的系统定时要求

PARAMETER	ALT. SYMBOL	FIGURE	TEST CONDITIONS	MIN	MAX	UNIT
t_{cR} Cycle time, read ($t_{w7} + t_{d8} + t_{d9}$)	RC			87		ns
t_{cW} Cycle time, write ($t_{w6} + t_{d5} + t_{d6}$)	WC			87		ns
t_{w1} Pulse duration, clock high	t_{XH}	1	$f = 9$ MHz maximum	40		ns
t_{w2} Pulse duration, clock low	t_{XL}	1	$f = 9$ MHz maximum	40		ns
t_{w5} Pulse duration, address strobe low	t_{ADS}	2,3		9		ns
t_{w6} Pulse duration, write strobe	t_{WR}	2		40		ns
t_{w7} Pulse duration, read strobe	t_{RD}	3		40		ns
t_{w8} Pulse duration, master reset	t_{MR}			1		μ s
t_{su1} Setup time, address valid before \overline{ADS} \uparrow	t_{AS}	2,3		8		ns
t_{su2} Setup time, chip select valid before \overline{ADS} \uparrow	t_{CS}	2,3		8		ns
t_{su3} Setup time, data valid before $\overline{WR1}$ \downarrow or $WR2$ \uparrow	t_{DS}	2		15		ns
t_{h1} Hold time, address low after \overline{ADS} \uparrow	t_{AH}	2,3		0		ns
t_{h2} Hold time, chip select valid after \overline{ADS} \uparrow	t_{CH}	2,3		0		ns
t_{h3} Hold time, chip select valid after $\overline{WR1}$ \uparrow or $WR2$ \downarrow	t_{WCS}	2		10		ns
t_{h4} Hold time, address valid after $\overline{WR1}$ \uparrow or $WR2$ \downarrow	t_{WA}	2		10		ns
t_{h5} Hold time, data valid after $\overline{WR1}$ \uparrow or $WR2$ \downarrow	t_{DH}	2		5		ns
t_{h6} Hold time, chip select valid after $\overline{RD1}$ \downarrow or $RD2$ \uparrow	t_{RCS}	3		10		ns
t_{h7} Hold time, address valid after $\overline{RD1}$ \uparrow or $RD2$ \downarrow	t_{RA}	3		20		ns
t_{d4} * Delay time, chip select valid before $\overline{WR1}$ \downarrow or $WR2$ \uparrow	t_{CSW}	2		7		ns
t_{d5} * Delay time, address valid before $\overline{WR1}$ \downarrow or $WR2$ \uparrow	t_{AW}	2		7		ns
t_{d6} * Delay time, write cycle, $\overline{WR1}$ \uparrow or $WR2$ \downarrow to \overline{ADS}	t_{WC}	2		40		ns
t_{d7} * Delay time, chip select valid to $\overline{RD1}$ \downarrow or $RD2$ \uparrow	t_{CSR}	3		7		ns
t_{d8} * Delay time, address valid to $\overline{RD1}$ \downarrow or $RD2$ \uparrow	t_{AR}	3		7		ns
t_{d9} Delay time, read cycle, $\overline{RD1}$ \uparrow or $RD2$ \downarrow to \overline{ADS} \downarrow	t_{RC}	3		40		ns
t_{d10} Delay time, $\overline{RD1}$ \downarrow or $RD2$ \uparrow to data valid	t_{RVD}	3	$C_L = 75$ pF	45		ns
t_{d11} Delay time, $\overline{RD1}$ \uparrow or $RD2$ \downarrow to floating data	t_{HZ}	3	$C_L = 75$ pF	20		ns

+ 仅适用于ADS为低电平时。

2.3.3 在推荐的电源电压和工作温度（自然通风）范围内的系统开关特性（见注释2）

PARAMETER	ALT. SYMBOL	FIGURE	TEST CONDITIONS	MIN	MAX	UNIT
t _{dis(R)} Disable time, RD1↑↓ or RD2↓↑ to DDIS↑↓	t _{RDD}	3	C _L = 75 pF	20		ns

注释：2. 充放电时间由V_{OL}、V_{OH}以及外部负载决定。

2.3.4 在推荐的电源电压和工作温度（自然通风）范围内、C_L=75pF时的波特率产生器开关特性

PARAMETER	ALT. SYMBOL	FIGURE	TEST CONDITIONS	MIN	MAX	UNIT
t _{w3} Pulse duration, BAUDOUT low	t _{LW}	1	f = 9 MHz, CLK ÷ 2	80		ns
t _{w4} Pulse duration, BAUDOUT high	t _{HW}	1	f = 9 MHz, CLK ÷ 2	80		ns
t _{d1} Delay time, XIN↑ to BAUDOUT↑	t _{BLD}	1			75	ns
t _{d2} Delay time, XIN↓ to BAUDOUT↓	t _{BHD}	1			65	ns

2.3.5 在推荐的电源电压和工作温度（自然通风）范围内接收器的开关特性（见注释3）

PARAMETER	ALT. SYMBOL	FIGURE	TEST CONDITIONS	MIN	MAX	UNIT
t _{d12} Delay time, RCLK to sample	t _{SCD}	4			10	ns
t _{d13} Delay time, stop to set interrupt or read RBR to LSI interrupt or stop to RXRDY↓	t _{SINT}	4,5,6,7,8			1	RCLK cycle
t _{d14} Delay time, read RBR/LSR to reset interrupt low	t _{RINT}	4,5,6,7,8	C _L = 75 pF		40	ns

注释：3. 在FIFO方式下，接收FIFO和状态寄存器（中断识别寄存器或线状态寄存器）读之间的读周期（RC）=425ns（min）。

2.3.6 在推荐的电源电压和工作温度（自然通风）范围内发送器的开关特性

PARAMETER	ALT. SYMBOL	FIGURE	TEST CONDITIONS	MIN	MAX	UNIT
t _{d15} Delay time, initial write (INTRPT low) to transmit start (SOUT low)	t _{IRS}	9		8	24	baudout cycles
t _{d16} Delay time, stop (SOUT low) to interrupt (INTRPT high)	t _{STI}	9		8	9	baudout cycles
t _{d17} Delay time, WR THR high to reset interrupt (INTRPT low)	t _{HR}	9	C _L = 75 pF		50	ns
t _{d18} Delay time, initial WR THR low to THRE interrupt (INTRPT high)	t _{SI}	9		16	32	baudout cycles
t _{d19} Delay time, RD IIR low to reset THRE interrupt (INTRPT low)	t _{IR}	9	C _L = 75 pF		35	ns
t _{d20} Delay time, WR THR high to TXRDY high (inactive)	t _{WXI}	10,11	C _L = 75 pF		35	ns
t _{d21} Delay time, start (SOUT low) to TXRDY low (active)	t _{SXA}	10,11	C _L = 75 pF		8	baudout cycles

2.3.7 在推荐的电源电压和工作温度（自然通风）范围内、C_L=75pF时的调制解调器控制开关特性

PARAMETER	ALT. SYMBOL	FIGURE	MIN	MAX	UNIT
t _{d22} Delay time, WR MCR low to output (RTS, DTR, OUT1, OUT2) low or high	t _{MDO}	12		50	ns
t _{d23} Delay time, modem interrupt (CTS, DSR, DCD) low to set interrupt (INTRPT) high	t _{SIM}	12		35	ns
t _{d24} Delay time, RD MSR low to reset interrupt (INTRPT) low	t _{RIM}	12		40	ns

2.4 参数测量资料

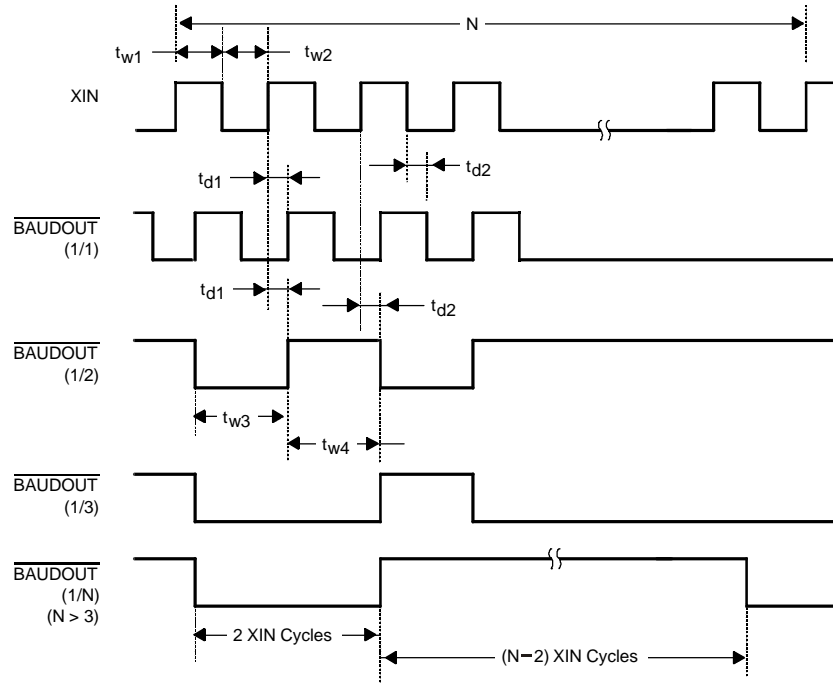
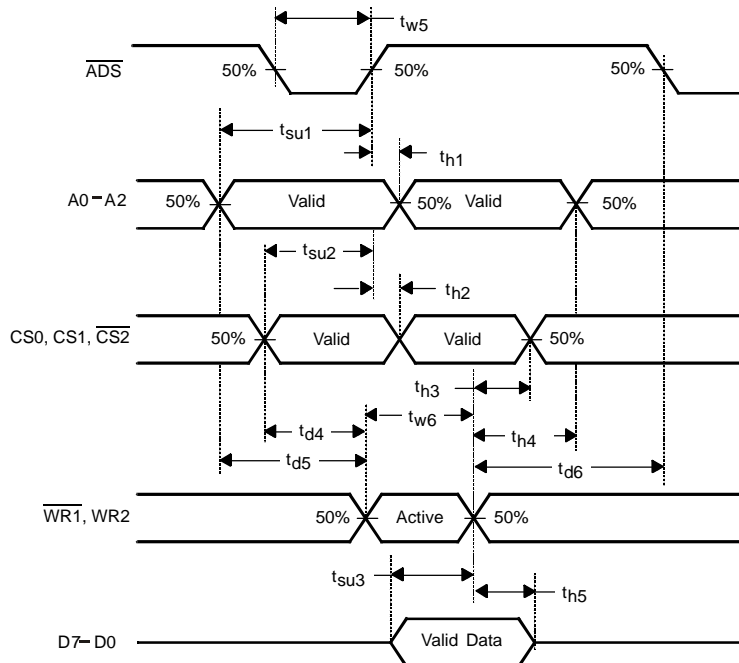
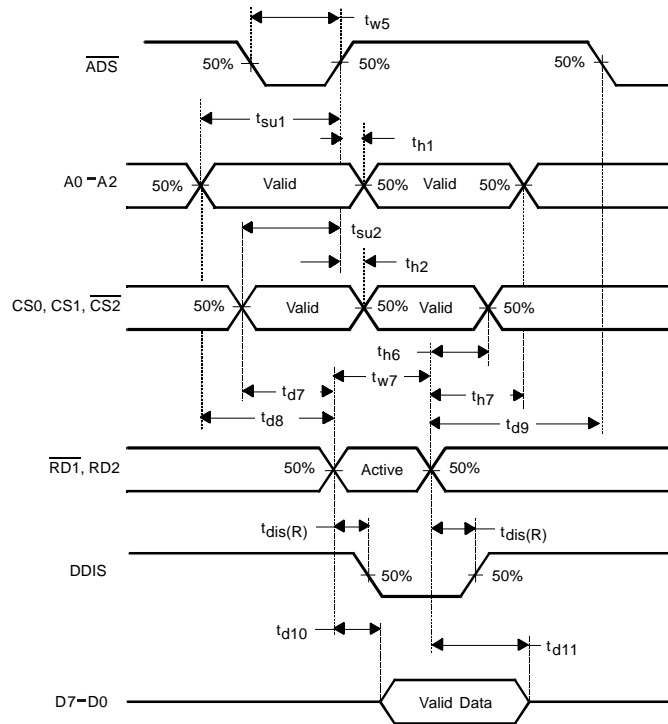


图1 波特率产生器时序波形



+ 仅适用于ADS为低电平时。

图2 写周期时序波形



+ 仅适用于ADS为低电平时。

图3 读周期时序波形

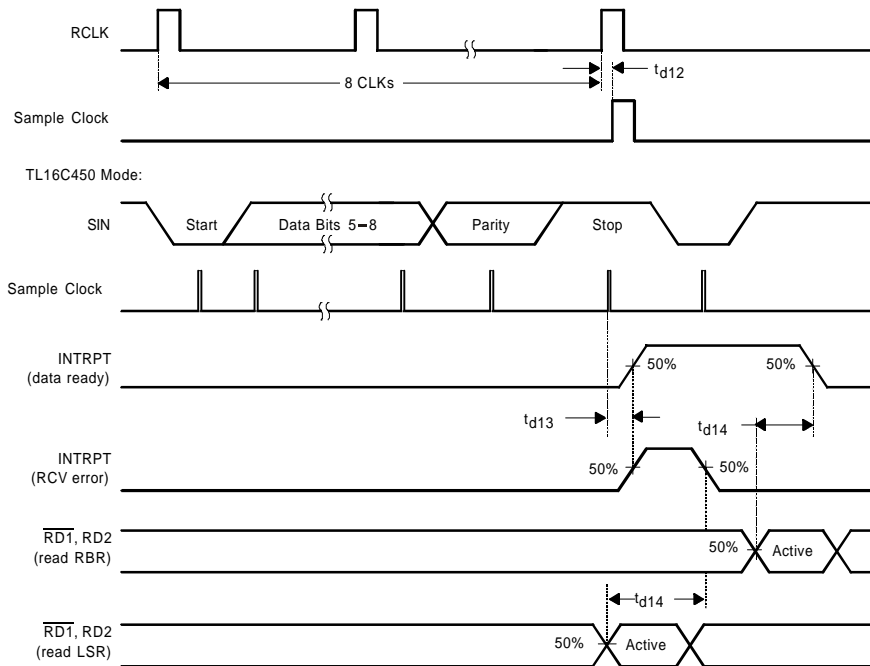
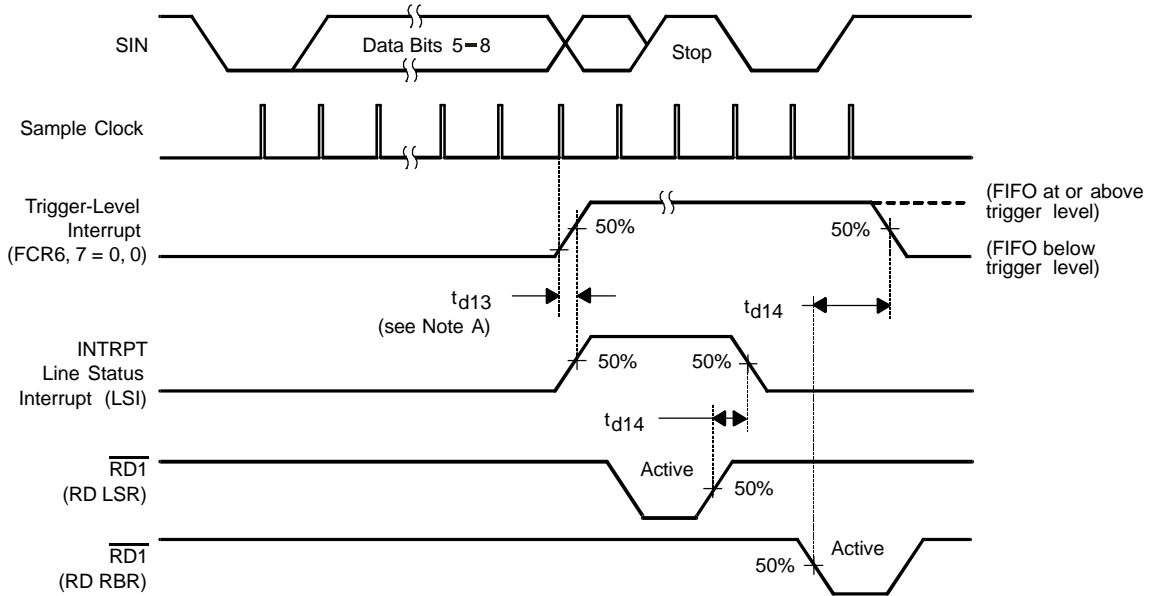


图4 接收器时序波形

P&S武汉力源电子股份有限公司

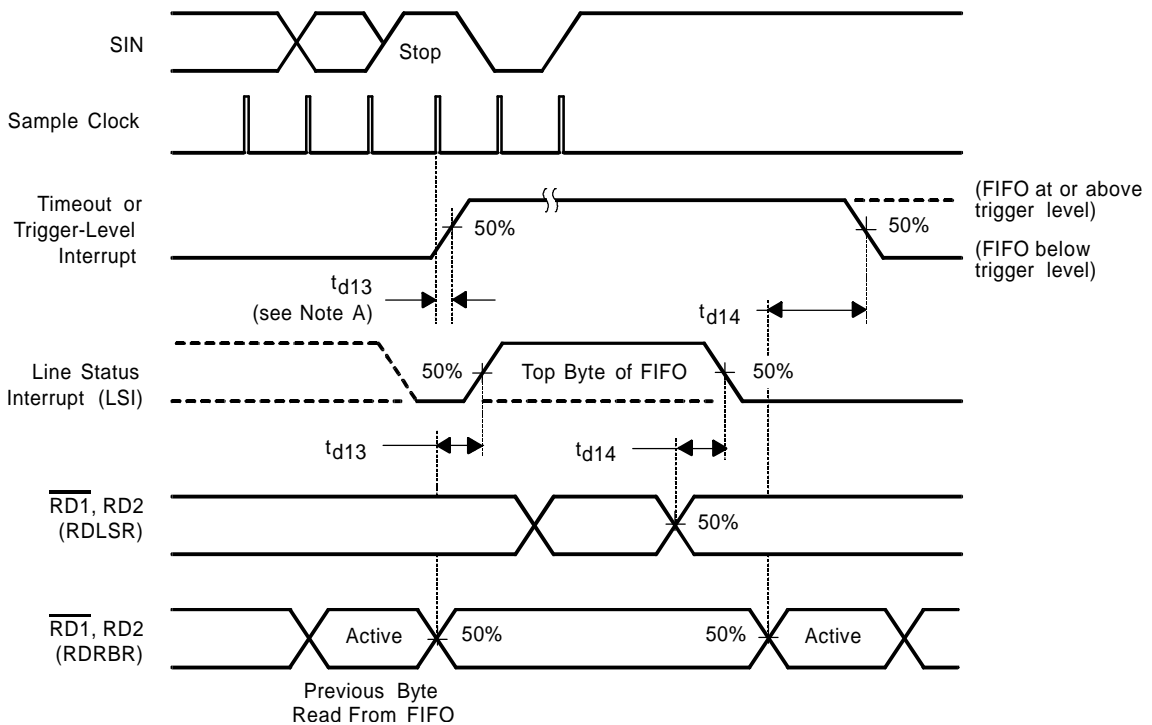
地址：湖北武汉市卓刀泉路15号
 信箱：武汉市70020信箱
 电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>
 邮编：430079
 传真：(86) (027) 87491166, 87493493



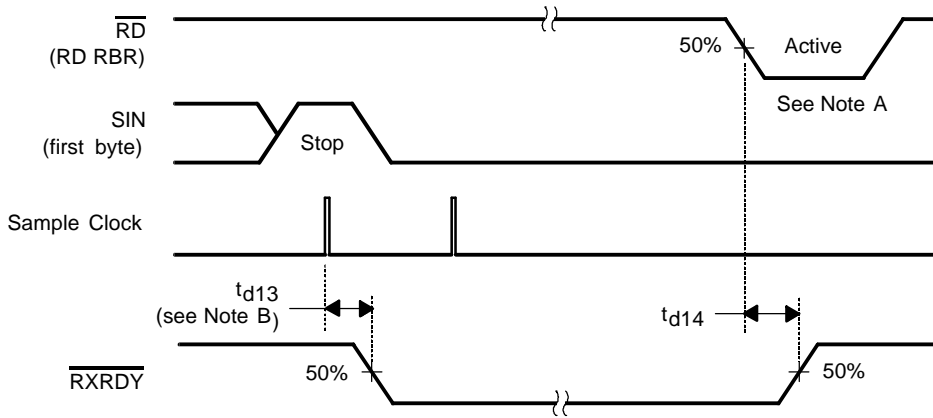
注释：A. 对于超时(time-out)中断， $t_{d13}=8RCLKs$ 。

图5 接收器FIFO首字节（设置DR位）波形



注释：A. 对于超时中断， $t_{d13}=8RCLKs$ 。

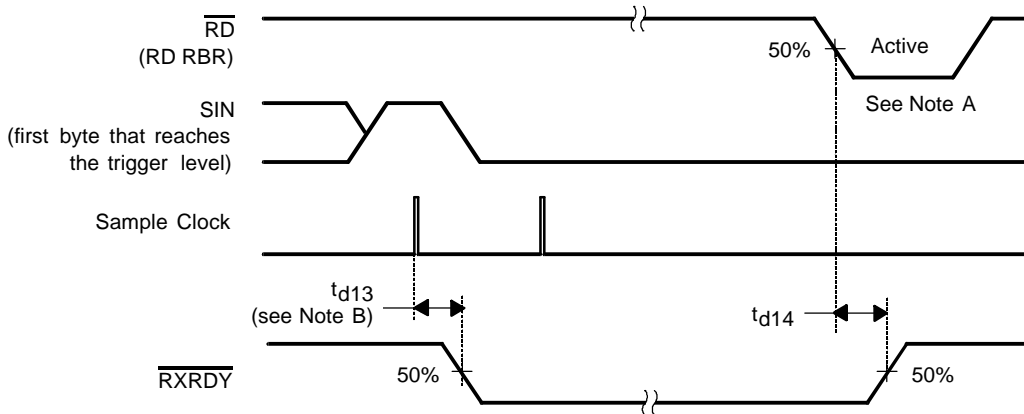
图6 除首字节之外接收FIFO字节（DR内部位已设置）波形



注释：A. 这是FIFO中最后一个字节的读操作。

注释：B. 对于超时中断， $t_{d13}=8RCLKs$ 。

图7 接收器准备就绪(RXRDY)波形，FCR0=0或FCR0=1和FCR3=0（方式0）



注释：A. 这是FIFO中最后一个字节的读操作。

注释：B. 对于超时中断， $t_{d13}=8RCLKs$ 。

图8 接收器准备就绪 (RXRDY) 波形，FCR0=1或FCR3=1（方式1）

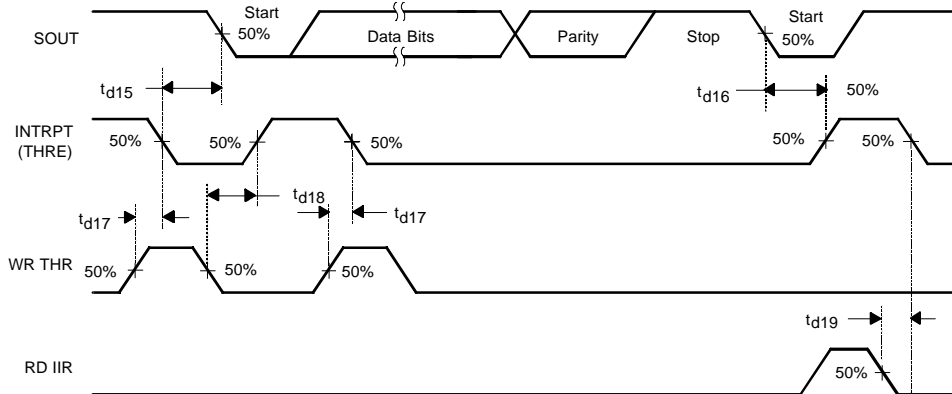


图9 发送器时序波形

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号
 信箱：武汉市70020信箱
 电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>
 邮编：430079
 传真：(86) (027) 87491166, 87493493

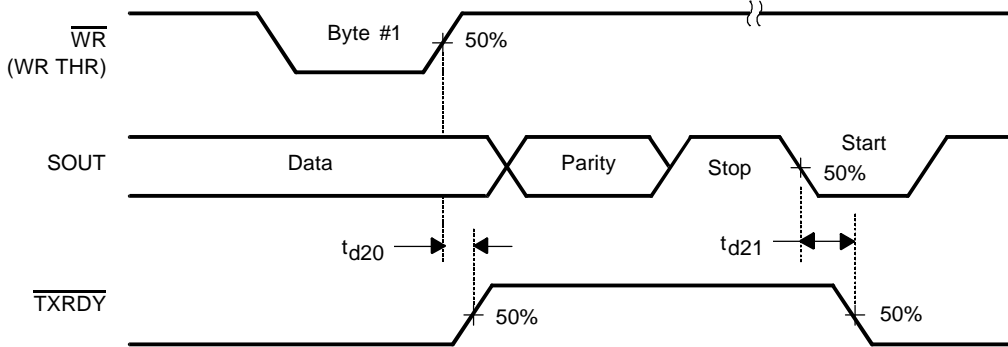


图10 发送器准备就绪 ($\overline{\text{TXRDY}}$) 波形, $\text{FCR0}=0$ 或 $\text{FCR0}=1$ 和 $\text{FCR3}=0$ (方式0)

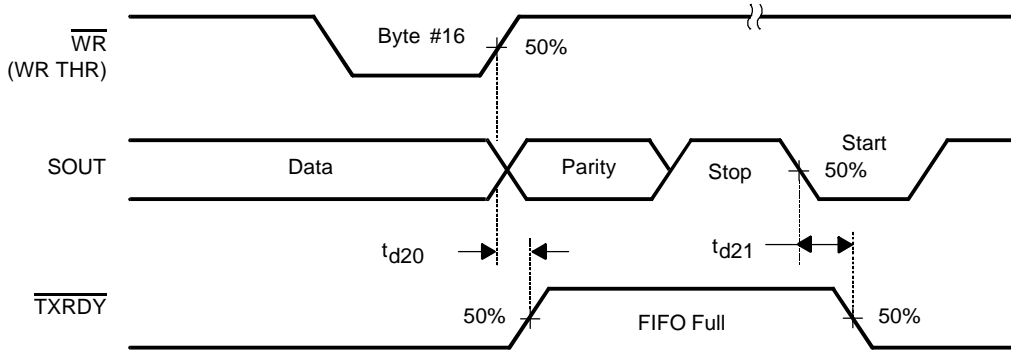


图11 发送器准备就绪 ($\overline{\text{TXRDY}}$) 波形, $\text{FCR0}=1$ 和 $\text{FCR3}=1$ (方式1)

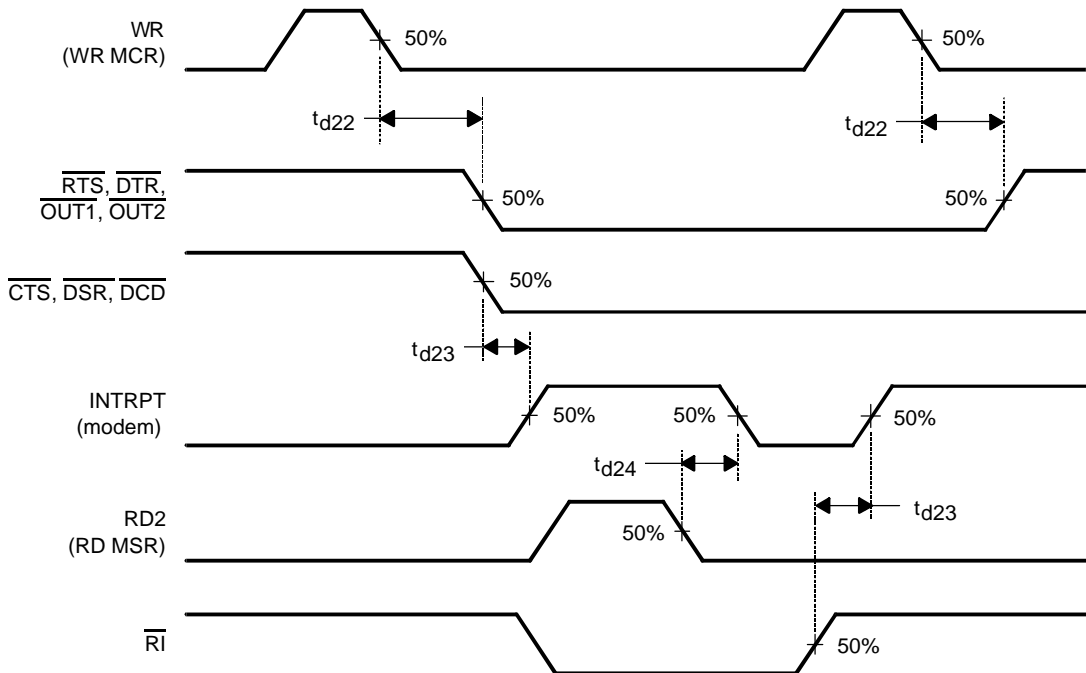


图12 调制解调器控制时序波形

P&S武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

P&S网网址: <http://www.p8s.com>

信箱:武汉市70020信箱

邮编:430079

电话:(86) (027) 87493500 ~ 87493506

传真:(86) (027) 87491166, 87493493

三、应用资料

TL16C550B的基本配置以及它与高容量数据总线和CPU的典型连接分别如图13、14、15所示。

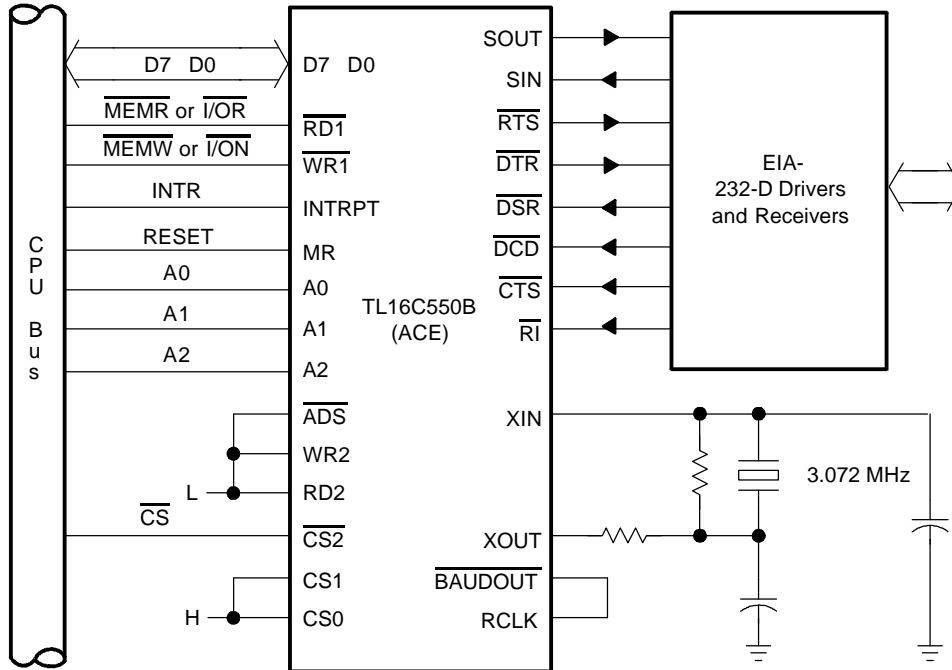


图13 基本的TL16C550B配置

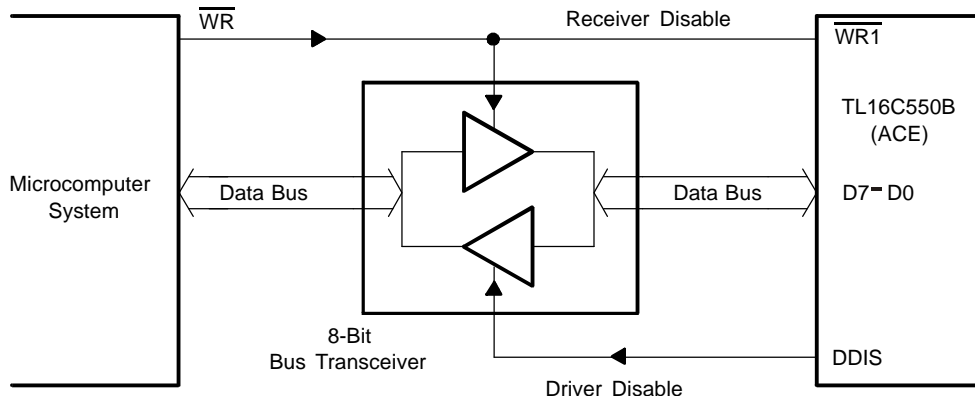
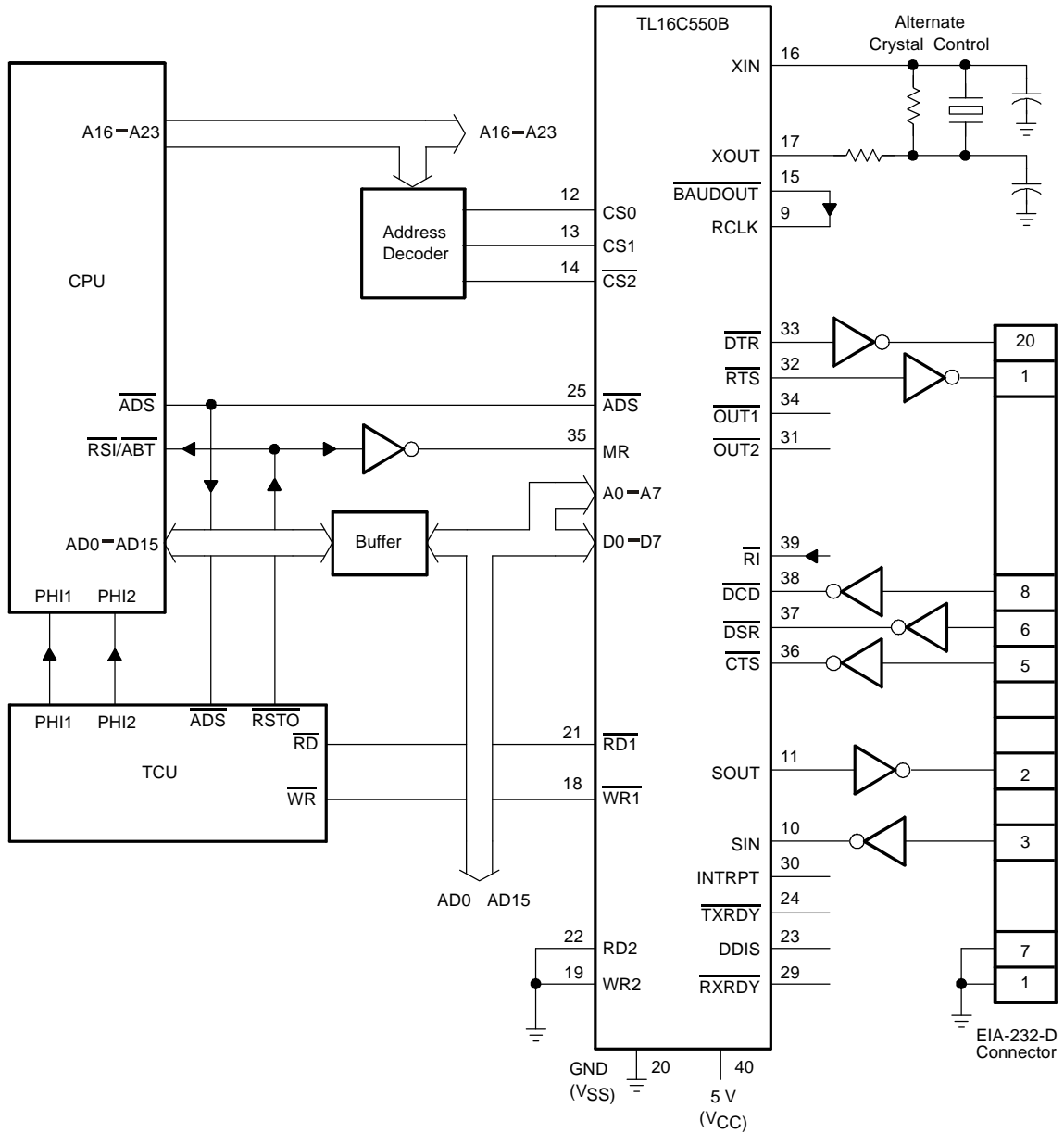


图14 与高容量数据总线的典型接口



注释：A. 所示的引脚号适用于N封装。

图15 TL16C550B与CPU的典型连接

四、工作原理

表1 寄存器选择

DLAB ⁺	A2	A1	A0	寄存器
0	L	L	L	接收器缓冲器（读），发送器保持寄存器（写）
0	L	L	H	中断使能寄存器
X	L	H	L	中断识别寄存器（只读）
X	L	H	L	FIFO控制寄存器（写）
X	L	H	H	线控制寄存器
X	H	L	L	调制解调器控制寄存器
X	H	L	H	线状态寄存器
X	H	H	L	调制解调器状态寄存器
X	H	H	H	暂存（Scratch）寄存器
1	L	L	L	除数锁存器（LSB）
1	L	L	H	除数寄存器（MSB）

+ 除数锁存器访问位（DLAB）是线控制寄存器的最高有效位。DLAB信号由写入该位控制（见表3）。

表2 ACE复位功能

寄存器/信号	复位控制	复位状态
中断使能寄存器	主机复位	所有位被清零(0-3位强迫, 4-7位永久性)
中断识别寄存器	主机复位	位0被置位, 位1、2、3被清零, 位4-7永久清零
FIFO控制寄存器	主机复位	所有位被清零
线控制寄存器	主机复位	所有位被清零
调制解调器控制寄存器	主机复位	所有位被清零(5-7位永久性)
线状态寄存器	主机复位	位5和位6被置位; 所有其它位被清零
调制解调器状态寄存器	主机复位	位0-3被清零, 位4-7为输入信号
SOUT	主机复位	高
INTRPT (接收器出错标志)	读LSR/MR	低
INTRPT (接收器数据可用)	读RBR/MR	低
INTRPT (发送器保持寄存器空)	读IR/写THR/MR	低
INTRPT (调制解调器状态改变)	读MSR/MR	低
OUT2	主机复位	高
RTS	主机复位	高
DTR	主机复位	高
OUT1	主机复位	高
暂存（Scratch）寄存器	主机复位	无影响
除数锁存（LSB和MSB）寄存器	主机复位	无影响
接收器缓冲寄存器	主机复位	无影响
发送器保持寄存器	主机复位	无影响
RCVR FIFO	MR/FCR1-FCR0/ FCR0	所有位为低
XMIT FIFO	MR/FCR2-FCR0/ FCR0	所有位为低

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493493

4.1 可访问的寄存器

系统程序员利用CPU可访问并控制概括在表3中的任何ACE寄存器。这些寄存器控制ACE的操作、接收数据与发送数据。这些寄存器在表3后面说明。

表3 可访问寄存器概要

Bit No.	REGISTER ADDRESS											
	0 DLAB = 0	0 DLAB = 0	1 DLAB = 0	2	2	3	4	5	6	7	0 DLAB = 1	1 DLAB = 1
	Receiver Buffer Register (Read Only)	Transmitter Holding Register (Write Only)	Interrupt Enable Register	Interrupt Ident. Register (Read Only)	FIFO Control Register (Write Only)	Line Control Register	Modem Control Register	Line Status Register	Modem Status Register	Scratch Register	Divisor Latch (LSB)	Latch (MSB)
	RBR	THR	IER	IIR	FCR	LCR	MCR	LSR	MSR	SCR	DLL	DLM
0	Data Bit 0	Data Bit 0	Enable Received Data Available Interrupt (ERBI)	0 if interrupt Pending	FIFO Enable	Word Length Select Bit 0 (WLS0)	Data Terminal Ready (DTR)	Data Ready (DR)	Delta Clear to Send (Δ CTS)	Bit 0	Bit 0	Bit 8
1	Data Bit 1	Data Bit 1	Enable Transmitter Holding Register Empty Interrupt (ETBEI)	Interrupt ID Bit (1)	Receiver FIFO Reset	Word Length Select Bit 1 (WLS1)	Request to Send (RTS)	Overrun Error (OE)	Delta Data Set Ready (Δ DSR)	Bit 1	Bit 1	Bit 9
2	Data Bit 2	Data Bit 2	Enable Receiver Line Status Interrupt (ELSI)	Interrupt ID Bit (2)	Transmitter FIFO Reset	Number of Stop Bits (STB)	OUT1	Parity Error (PE)	Trailing Edge Ring Indicator (TERI)	Bit 2	Bit 2	Bit 10
3	Data Bit 3	Data Bit 3	Enable Modem Status Interrupt (EDSSI)	Interrupt ID Bit (2) (see Note 4)	DMA Mode Select	Parity Enable (PEN)	OUT2	Framing Error (FE)	Delta Data Carrier Detect (Δ DCD)	Bit 3	Bit 3	Bit 11
4	Data Bit 4	Data Bit 4	0	0	Reserved	Even Parity Select (EPS)	Loop	Break Interrupt (BI)	Clear to Send (CTS)	Bit 4	Bit 4	Bit 12
5	Data Bit 5	Data Bit 5	0	0	Reserved	Stick Parity	0	Transmitter Holding Register (THRE)	Data Set Ready (DSR)	Bit 5	Bit 5	Bit 13
6	Data Bit 6	Data Bit 6	0	FIFOs Enabled (see Note 4)	Receiver Trigger (LSB)	Break Control	0	Transmitter Empty (TEMT)	Ring Indicator (RI)	Bit 6	Bit 6	Bit 14
7	Data Bit 7	Data Bit 7	0	FIFOs Enabled (see Note 4)	Receiver Trigger (MSB)	Divisor Latch Access Bit (DLAB)	0	Error in RCVR FIFO (see Note 4)	Data Carrier Detect (DCD)	Bit 7	Bit 7	Bit 15

+ 位0是最低有效位。它是串行发送或接收的第一位。

注释：4. 在TL16C450方式中这些位总是为0。

4.2 FIFO控制寄存器 (FCR)

FCR是与IIR具有相同地址的只写寄存器，而IIR是只读寄存器。FCR使能和清零FIFO，设置接收器FIFO触发电平，并选择DMA信号的类型。

- 位0：FCR0，此位被置位时，使能发送器和接收器FIFO。当写入其它FCR位或它们不被编程时，位0必须被置位。改变此位将清零FIFO

- 位1：FCR1，此位被置位时，清零接收器FIFO所有字节并清零其计数器。移位寄存器不被清零。写入此位位置的1自行清零 (self cleaning)

- 位2：FCR2，此位被置位时，清零发送器FIFO所有字节并清零其计数器。移位寄存器不被清零。写入此位位置的1自行清零 (self cleaning)

- 位3：当FCR0置位时，设置FCR3将使RXRDY和TXRDY从方式0变至方式1

- 位4和位5：FCR4和FCR5被保留以供今后使用

- 位6和位7：FCR6和FCR7设置用于接收器FIFO中断的触发电平（见表4）

表4 接收器FIFO触发电平

位7	位6	接收器FIFO触发电平（字节）
0	0	01
0	1	04
1	0	08
1	1	14

4.3 FIFO中断方式操作

当接收器FIFO和接收器中断被使能（FCR0=1，IER0=1）时，在如下情况下发生接收器中断：

1. 当FIFO达到其已编程的触发电平时，向微处理器发出接收数据可用中断。当FIFO降到其已编程的触发电平以下时，它被清零。
2. 当达到FIFO触发电平时，也发生IIR接收数据可用指示。并象中断一样，当FIFO降至低于触发电平时，它被清零。
3. 接收器线状态中断（IIR=0110）比接收数据可用（IIR=0100）中断具有较高的优先级。
4. 当字符从移位寄存器传送至接收器FIFO时，数据准备就绪位（LSR0）置位。当FIFO空时，它被清零。

当接收器FIFO和接收器中断被使能时，接收器FIFO超时中断在如下情况下发生：

1. 如果存在以下条件，那么发生FIFO超时中断：
 - a. FIFO中至少有一个字符
 - b. 最近一次接收串行字符的时间长于前面的四个连续字符时间（如果编程为两个停止位，那么第二个也包括在此时延之内）
 - c. 最近的微处理器读FIFO的时间长于前面四个连续字符时间。这使最大接收字符中断已发出160ms的延迟（300波特、12位字符）

2. 用作时钟信号的RCLK输入来计算字符时间（使延迟正比于波特率）。

3. 在已发生超时中断的情况下，当微处理器从接收器FIFO读一个字符时，它被清零并复位定时器。

4. 在未发生超时中断的情况下，在接收新字符之后或在微处理器读接收器FIFO之后超时定时器被复位。

当发送器FIFO和发送器中断被使能时（FCR0=1，IER1=1），发送中断在如下情况下发生：

1. 当发送FIFO为空时，发送器保持寄存器中断[02]发生。当THR被写入（在中断服务时，可把1至16个字节写入发送FIFO）或IIR被读出时，该中断被清零。

2. 在最近一次THRE=1以来，如果不是同时有至少两个字节在发送器FIFO中，则发送器FIFO空指示延迟一个字符时间减去最后停止位时间。如果中断被使能，那么在FCR0一发生改变之后，第一个发送器中断便发生。

字符超时和接收器FIFO触发电平中断与当前接收数据可用中断具有相同的优先级；发送FIFO空与当前THRE中断具有相同的优先级。

4.4 FIFO查询方式工作

在FCR0=1的情况下，清零IER0、IER1、IER2、IER3或把所有四个均置为0将使ACE处于FIFO查询工作方式。因为接收器和发送器是分开控制的，所以任何一个或两个均可处于查询工作方式。

在此方式下，用户程序使用LSR检查接收器和发送器的状态。如前所述：

- 只要在接收器FIFO中有一个字节，LSR0被置位

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：http://www.p8s.com

邮编：430079

传真：(86) (027) 87491166, 87493493

● LSR1-LSR4指明发生哪一种错误。以与中断方式相同的方法处理字符错误状态；因为IER2=0，所以IIR不受影响

- LSR5指示何时发送FIFO为空
- LSR6指示发送FIFO和移位寄存器二者为空
- LSR7指示接收器FIFO中是否有错

在FIFO查询方式下没有达到的触发电平或指示的超时条件。但是，接收器和发送器FIFO仍完全能保持字符。

4.5 中断使能寄存器 (IER)

IER使能五种类型中断（参见表5）的每一种并允许INTRPT输出信号对中断产生作出响应。IER也可通过清零位0至3禁止中断系统。该寄存器的内容归纳于表3并在下面叙述。

- 位0：置位时，此位使能接收数据可用中断
- 位1：置位时，此位使能THRE中断
- 位2：置位时，此位使能接收器线状态中断
- 位3：置位时，此位使能调制解调器状态中断
- 位4至7：这些位不使用（总是被清零）

4.6 中断识别寄存器 (IIR)

ACE具有片内中断产生和确定优先级的能力，它能灵活地与大多数常用微处理器相接口。

ACE提供四个中断优先级：

- 优先级1 接收器线状态（最高优先级）
- 优先级2 接收器数据准备就绪或接收器字符超时
- 优先级3 发送保持寄存器空
- 优先级4 调制解调器状态（最低优先级）

当中断产生时，IIR指示中断挂起并在其三个最低有效位（位0、1和2）指示中断类型。该寄存器的内容归纳于表3并在表5中说明。每一位详述如下：

● 位0：此位用于硬件优先级或查询中断系统。当位0被清零时，中断挂起。若位0被置位，则无中断挂起

- 位1和位2：如表5所示，这两位识别最高优先级中断的挂起
- 位3：在TL16C450方式此位总是被清零。在FIFO方式下，位3与位2被置位指示超时中断挂起
- 位4和5：这两位不使用（总是被清零）
- 位6和7：在TL16C450方式下，这些位总被清零。当FIFO控制寄存器的位0置位时，它们被置位

表5 中断控制功能

中断识别寄存器				优先级	中断类型	中断源	中断复位方法
位3	位2	位1	位0				
0	0	0	1	无	无	无	无
0	1	1	0	1	接收器线状态	溢出错, 奇偶错, 帧错误, 或断开 (break) 中断	读线状态寄存器
0	1	0	0	2	接收数据可用	在TL16C450方式下接收数据可用或在FIFO方式下达到触发电平	读接收器缓冲寄存器
1	1	0	0	2	字符超时指示	在最近四个字符时间期间内没有字符送出或送入接收器FIFO, 并在此期间内至少有一个字符在其中	读接收器缓冲寄存器
0	0	1	0	3	发送器保持寄存器空	发送器保持寄存器空	读中断识别寄存器 (如果有中断源的话) 或写入发送器保持寄存器
0	0	0	0	4	调制解调器状态	清零发送, 数据组准备就绪, 振铃指示器或数据载体检测	读调制解调器状态寄存器

4.7 线控制寄存器 (LCR)

系统程序员通过LCR控制异步数据通信交换的格式。此外, 程序员能取回、检查、修改LCR的内容; 这消除了的系统存储器中单独存储线特性的需求。此寄存器的内容归纳于表3中并叙述如下:

- 位0和位1; 这两位规定了每一发送或接收串行字符的位数。这些位如表6所示那样编码

表6 串行字符的字长

位1	位0	字长
0	0	5位
0	1	6位
1	0	7位
1	1	8位

- 位2: 此位指定在每一发送字符中有一个、一个半或两个停止位。当位2被清零时, 在数据中产生一个停止位。当位2被置位时, 所产生的停止位数取决于用位0和1所选择的字长。接收器仅对第一个停止位定时而不管所选择的停止位的个数。所产生的停止位的个数与字长以及位2的关系示于表7

表7 所产生的停止位数

位2	由位1和位0所选的字长	所产生的停止位个数
0	任何字长	1
1	5位	1 1/2
1	6位	2
1	7位	2
1	8位	2

- 位3: 此位是奇偶校验使能位。当位3置位时, 在发送数据中最后一个数据字位与第一个停止位之间产生奇偶校验位。在接收数据中, 若位3被置位, 那么将进行奇偶校验。当位3被清零时, 不产生也不检查奇偶性

- 位4: 此位是偶校验选择位。当奇偶校验被使能 (位3置位) 且位4被置位时, 选择偶校验 (在数据和奇偶校验位中逻辑1的个数为偶数)。当奇偶校验被使能且位4被清零时, 选择奇校验 (逻辑1的个数为奇数)

- 位5: 此位是附着校验 (stick parity) 位。当位3、4、5置位时, 按清零方式 (as cleared) 发送和检查奇偶校验位。当位3、5置位而位4被清零时, 按置位方式 (as set) 发送和检查奇偶校验位。如果位5

P&S武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号

信箱: 武汉市70020信箱

电话: (86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编: 430079

传真: (86) (027) 87491166, 87493493

被清零，那么禁止附着校验

- 位6：此位是断开控制（break control）位。为了强制断开状态就使位6置位；断开状态是强迫SOUT为空白（被清零）的状态。当位6被清零时，断开状态被禁止且对发送器逻辑无影响；它仅影响SOUT

- 位7：此位是除数锁存器访问位（DLAB）。在读或写期间内，为了访问波特率产生器的除数锁存器，位7必须被置位。在读或写期间内，为了访问接收器缓冲器、THR或IER，必须清零位7

4.8 线状态寄存器（LSR）+

LSR向CPU提供有关数据传送状态的信息。此寄存器的内容归纳于表3并说明如下。

- 位0：此位是用于接收器的数据准备就绪（DR）指示位。当整个输入字符已被接收且传送到RBR或FIFO时，该位置位。读RBR或FIFO中的所有数据将清零该位

- 位1*：此位是溢出错误（overrun error, OE）指示位。当OE被置位时，它指示在RBR中字符被读出之前，它已被送入寄存器的下一个字符所重写。每当CPU读LSR内容时，OE被清零。如果超出触发电平FIFO方式数据仍继续填充FIFO，那么仅在FIFO满且在移位寄存器中已完整地接收下一字符时才发生溢出错误。只要一发生溢出错误便把它指示给CPU。移位寄存器中的字符被重写，但不把它传送给FIFO

- 位2*：此位是奇偶校验错误（PE）指示位。当PE被置位时，它指示所接收数据字符的奇偶性不符合在LCR（位4）中所选择的奇偶性。每当CPU读LSR的内容时，PE被清零。在FIFO方式下，此错误与FIFO中特定的字符有关。当与其有关的字符位于FIFO的顶部时，此错误被送至CPU

- 位3*：此位是帧出错（framing error, FE）指示位。当FE被置位时，它指示所接收的字符没有有效（设置）的停止位。每当CPU读LSR内容时，FE被清零。在FIFO方式下，此错误与FIFO中特定的字符有关。当与其有关的字符位于FIFO的顶部时，此错误被送至CPU。在帧出错之后ACE试图重新同步。为了实现这一点，它假设帧出错是由下一起始位所引起。ACE对此起始位采样两次，然后接受输入数据

- 位4*：此位是断开中断（break interrupt, BI）指示位。当BI被置位时，它指示在长于完整字（full-word）传送时间的期间内接收的数据输入保持为低电平。完整字传送时间定义为发送起始位、数据、奇偶校验以及停止位的总时间。每当CPU读LSR内容时，BI被清零。在FIFO方式下，此错误与FIFO中特定的字符有关。当与其有关的字符位于FIFO的顶部时，此错误被送至CPU。当断发生发生时，仅一个0字符被装入FIFO。在SIN变至记号状态（marking state）且接收下一有效起始位之后，允许下一个字符的传送

- 位5：此位是THRE指示位。当THR为空时，THRE置位，它指示ACE已准备好接受新字符。当THRE置位时，如果THRE中断被使能，那么便产生中断。当THR的内容传送到TSR时，THRE被置位。在CPU装载THR的同时THRE被清零。在FIFO方式下，当发送FIFO为空时，THRE置位。当至少有一个字节写入发送FIFO时，它被清零

- 位6：此位是发送器空（TEMT）指示位。当THR和TSR二者均为空时，TEMT被置位。当THR或TSR包含数据字符时，TEMT被清零。在FIFO方式下，当发送器FIFO和移位寄存器二者均为空时，TEMT被置位

- 位7：在TL16C550B及TL16C550BI方式下，此位总是被清零。在TL16C450方式下，此位总是被清零。在FIFO方式下，当FIFO中至少有一个奇偶校验、帧或断开错误时，LSR7被置位。当微处理器读LSR且FIFO中没有后续错误时，它被清零

+ 线状态寄存器仅适用于读操作；在工厂测试环境之外不推荐写此寄存器。

- 位1至4是产生接收器线状态中断的出错条件。

4.9 调制解调器控制寄存器（MCR）

MCR是8位寄存器，它控制与调制解调器、数据组、或仿真调制解调器的外围设备的接口。此寄存器的内容归纳于表3并说明如下：

- 位0：此位（DTR）控制 \overline{DTR} 输出。设置该位将强迫 \overline{DTR} 输出为低电平。当清零该位时， \overline{DTR} 变为高电平

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493493

- 位1：此位（RTS）控制 $\overline{\text{RTS}}$ 输出。设置该位将强迫 $\overline{\text{RTS}}$ 输出为低电平。当清零该位时， $\overline{\text{RTS}}$ 变为高电平
- 位2：此位（OUT1）控制 $\overline{\text{OUT1}}$ ，用户指定的输出信号，方法同上
- 位3：此位（OUT2）控制 $\overline{\text{OUT2}}$ ，用户指定的输出信号，方法同上

当位0至3的任一位被置位时，相关的输出被强迫为低电平。当这些位的任一位被清零时，相关的输出被强迫为高电平。

● 位4：此位提供用于ACE诊断测试的局部环路返回特性（local loop back feature）。当该位置位时，下列各项发生：

- * SOUT被置为高电平
- * SIN被断开
- * TSR的输出返回至接收器移位寄存器的输入
- * 四个调制解调器控制输入（ $\overline{\text{CTS}}$ ， $\overline{\text{DSR}}$ ， $\overline{\text{DCD}}$ 和 $\overline{\text{RI}}$ ）被断开
- * 四个调制解调器控制输出（ $\overline{\text{DTR}}$ ， $\overline{\text{RTS}}$ ， $\overline{\text{OUT1}}$ 和 $\overline{\text{OUT2}}$ ）内部连接至四个调制解调器输入
- * 四个调制解调器控制输出被强迫至无效（高）电平

● 位5至位7：这些位被永远清零

在诊断方式下，所发送的数据立即被接收。这使处理器能检验至ACE的发送和接收数据通路。接收器和发送器中断完全可操作。调制解调器控制中断也可操作，但现在调制解调器控制中断源是MCR的低四位以代替四个调制解调器控制输入。所有中断仍由IER控制。

4.10 调制解调器状态寄存器（MSR）

MSR是8位寄存器，它提供有关从调制解调器、数据组或外围设备至CPU的控制线的当前状态信息。此外，这个寄存器的四位提供改变信息；当来自调制解调器的控制线改变状态时，相应的位被置位。当CPU读MSR时，所有四位被清零。此寄存器的内容归纳于表3并说明如下：

- 位0：此位是清零发送改变（CTS）指示位。CTS指示自从上次CPU读 $\overline{\text{CTS}}$ 输入以来它已发生改变。当CTS置位且使能调制解调器状态中断时，产生调制解调器状态中断
- 位1：此位是数据组准备就绪改变（DSR）指示位。DSR指示自从上次CPU读 $\overline{\text{DSR}}$ 输入以来它已发生变化。当DSR被置位且使能调制解调器状态中断时，产生调制解调器状态中断
- 位2：此位是振铃指示器后沿（TERI）检测位。TERI指示输入至芯片的 $\overline{\text{RI}}$ 已从低电平变至高电平。当TERI被置位且使能调制解调器状态中断时，产生调制解调器状态中断
- 位3：此位是数据载体检测改变（DCD）指示位。DCD指示自从上次CPU读输入芯片的 $\overline{\text{DCD}}$ 以来它已发生了变化。当DCD被置位且使能调制解调器状态中断时，产生调制解调器状态中断
- 位4：此位是清零发送的补码（ $\overline{\text{CTS}}$ ）输入。当MCR的位4（loop）被置位时，此位等于MCR位1（RTS）
- 位5：此位是数据组准备就绪的补码（ $\overline{\text{DSR}}$ ）输入。当MCR的位4（loop）被置位时，此位等于MCR位0（DTR）
- 位6：此位是振铃指示器补码（ $\overline{\text{RI}}$ ）输入。当MCR的位4（loop）被置位时，此位等于MCR位2（OUT1）
- 位7：此位是数据载体检测的补码（ $\overline{\text{DCD}}$ ）输入。当MCR的位4（loop）被置位时，此位等于MCR位3（OUT2）

4.11 可编程波特率产生器

ACE包括可编程波特率产生器，它接受频率在直流与8MHz之间的时钟输入并把它按范围在1与 $(2^{16}-1)$ 之间的除数加以分频。波特率产生器输出频率为16倍（ $16 \times$ ）波特率。除数的公式为：

$$\text{除数} = \text{XIN频率输入} \div (\text{所需波特率} \times 16)$$

两个被称为除数锁存器的8位寄存器储存16位二进制格式的除数。为了确保波特率产生器按要求工作，

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493493

在ACE初始化期间内必须装载这些除数锁存器。当任何一个除数锁存器被装载时，16位波特率计数器也被装载以防止初始装载的长计数（long counts on initial load）。

表8和表9分别说明1.8432MHz和3.072MHz晶体频率的波特率产生器的使用。对于38.4kbit/s和更低的波特率，所得的误差是很小的。所选的波特率的精度取决于所选的晶体频率（参见图16“典型的时钟电路”）。

表8 使用1.8432MHz晶体的波特率

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16×CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	2304	
75	1536	
110	1047	0.026
134.5	857	0.058
150	768	
300	384	
600	192	
1200	96	
1800	64	
2000	58	0.69
2400	48	
3600	32	
4800	24	
7200	16	
9600	12	
19200	6	
38400	3	
56000	2	2.86

表9 使用3.072MHz晶体的波特率

DESIRED BAUD RATE	DIVISOR USED TO GENERATE 16×CLOCK	PERCENT ERROR DIFFERENCE BETWEEN DESIRED AND ACTUAL
50	3840	
75	2560	
110	1745	0.026
134.5	1428	0.034
150	1280	
300	640	
600	320	
1200	160	
1800	107	0.312
2000	96	
2400	80	
3600	53	0.628
4800	40	
7200	27	1.23
9600	20	
19200	10	
38400	5	

P&S武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

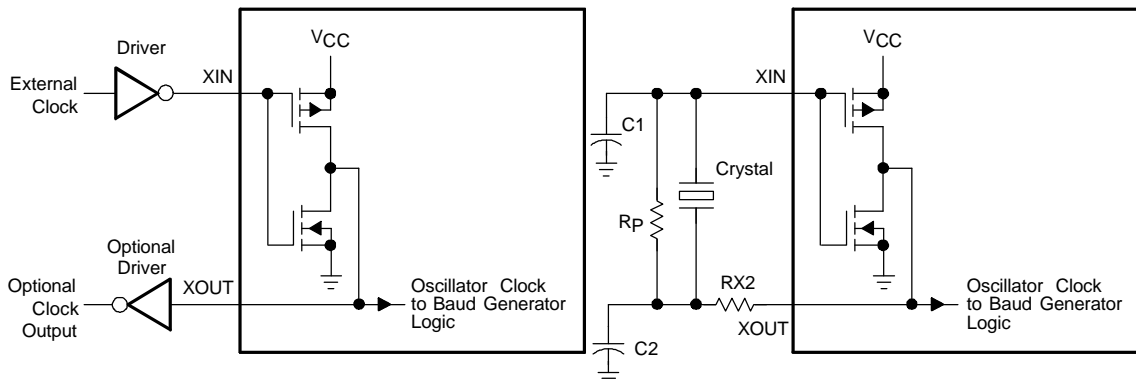
信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

邮编：430079

传真：(86) (027) 87491166, 87493493



典型的晶体振荡器网络

晶体	R _p	RX2	C1	C2
3.072MHz	1M	1.5k	10-30pF	40-60pF
1.8432MHz	1M	1.5k	10-30pF	40-60pF

图16 典型时钟电路

4.12 接收器缓冲寄存器 (RBR)

ACE接收器部分由接收器移位寄存器 (RSR) 和RBR组成。RBR实际上是16字节FIFO。时序由16 × 接收器时钟 (RCLK) 提供。接收器部分的控制是ACE线控制寄存器的功能。

ACE RSR接收来自SIN的串行数据。接着RSR链接数据并把它移入RBR FIFO。在TL16C450方式下，当字符放入RBR且允许接收数据可用中断时，中断便产生。当从RBR读出数据时，此中断被清零。在FIFO方式下，根据FIFO控制寄存器中设置的控制来产生中断。

4.13 暂存 (Scratch) 寄存器

暂存寄存器是8位寄存器，它供程序员用作便笺 (scratchpad)，可暂时保存程序员的数据而不影响任何其它ACE操作。

4.14 发送器保持寄存器 (THR)

ACE发送器部分由THR和发送器移位寄存器 (TSR) 组成。THR实际上是16字节的FIFO。时序由BAUDOUT提供。发送器部分的控制是ACE线控制寄存器的功能。

ACE THR接收内部数据总线的的数据并在移位寄存器空闲时把它移入TSR。TSR把数据串行化并在SOUT端将其输出。在TL16C450方式下，若THR为空且使能发送器保持寄存器空 (THRE) 中断，中断便产生。当字符被装入寄存器时，此中断被清零。在FIFO方式下，根据FIFO控制寄存器中设置的控制来产生中断。