

AD5320

+2.7V至+5.5V、140 μ A、满电源幅度电压输出12位数模转换器

一、概述

1.1 一般说明

AD5320是单通道12位电压输出数模转换器，可用单+2.7V至+5.5V电源工作。片内具有精密的输出放大器使输出可达到满电源幅度。AD5320采用灵活的三线串行接口，与标准的SPI™、QSPI™、MICROWIRE™和DSP接口兼容，其时钟速率可高达30MHz。

AD5320的基准由电源输入端产生，因此可提供最宽的动态输出范围。器件内包含一个上电复位电路，可保证DAC输出上电至0V并保持0V直到器件发生有效写操作。器件还包含掉电特性，在5V时可将电流消耗的典型值降至200nA，并在掉电状态中提供软件可选的输出负载。通过串行接口将器件置入掉电方式。

AD5320在正常工作时功耗非常低，适用于便携式电池供电的设备。在掉电方式中，5V时的功耗从0.7mW减至1 μ W。

AD5320具有6脚SOT-23封装和8脚微型SOIC封装。

该产品的技术要点小结如下：

1. 低功耗、单电源工作。器件用单+2.7V至+5.5V电源工作，典型功耗值在3V和5V时分别为0.35mW和0.7mW，对于电池供电应用领域非常理想。
2. 片内输出缓冲放大器使DAC输出摆幅达到满电源幅度，转换速率为1V/ μ s。
3. 由电源产生基准。
4. 时钟速率高达30MHz的高速串行接口。
5. 掉电方式。掉电时，DAC在3V和5V时消耗电流的典型值分别为50nA和200nA。

1.2 特点

- 单通道12位DAC
- 6脚SOT-23及8脚微型SOIC封装
- 低功耗工作：140 μ A@5V
- 掉电方式下200nA@5V、50nA@3V
- +2.7V至+5.5V电源
- 由设计保证单调性
- 由电源产生基准
- 上电复位至0V
- 三种掉电功能
- 具有施密特触发输入的低功耗串行接口
- 片内输出缓冲放大器，满电源幅度工作
- SYNC中断

P&S 武汉力源电子股份有限公司

地址：湖北武汉市卓刀泉路15号

信箱：武汉市70020信箱

电话：(86) (027) 87493500 ~ 87493506

P&S网网址：<http://www.p8s.com>

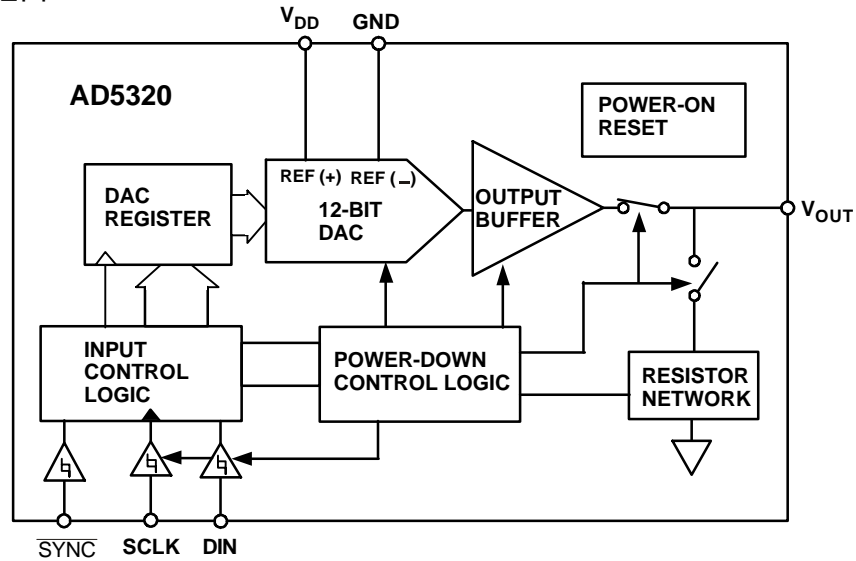
邮编：430079

传真：(86) (027) 87491166, 87493497

1.3 应用范围

- 便携式电池供电仪表
- 数字增益和失调整
- 可编程的电压和电流源
- 可编程的衰减器

1.4 功能方框图



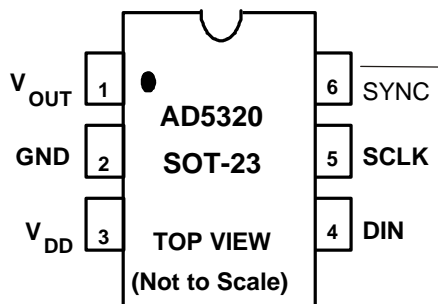
1.5 订购资料

型号	温度范围	*封装
AD5320BRT	-40 至+105	RT-6
AD5320BRM	-40 至+105	RM-8

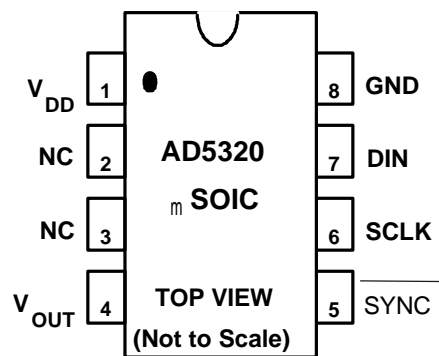
* RT=SOT-23封装 ; RM=微型SOIC

1.6 引脚排列及功能

SOT-23



micro SOIC



NC = NO CONNECT

引脚功能说明

引脚号(SOT-23)	名称	功 能
1	V _{OUT}	DAC的模拟输出电压。输出放大器工作时输出可达满电源幅度
2	GND	器件中所有电路的地基准点
3	V _{DD}	电源输入。器件用+2.7V至+5.5V电源工作并应该去耦到地
4	DIN	串行数字输入。器件具有一个16位移位寄存器。数据在串行时钟输入的下降沿随时钟移入寄存器
5	SCLK	串行时钟输入。数据在串行时钟输入的下降沿随时钟移入输入移位寄存器。数据的传送速率高达30MHz
6	<u>SYNC</u>	电平触发控制输入(低电平有效)。这是输入数据的帧同步信号。当SYNC变为低电平时,它会使能输入移位寄存器,数据在后续时钟的下降沿被移入。DAC在第16个时钟周期后被更新,除非在此时钟边沿之前SYNC变为高电平。在这种情况下, <u>SYNC</u> 的下降沿用作一次中断,而写信号则被DAC忽略

二、特性

2.1 极限参数 (除非另有说明, T_A=+25) *

V _{DD} 至GND	-0.3V至7V
数字输入电压至GND	-0.3V至V _{DD} +0.3V
V _{OUT} 至GND	-0.3V至V _{DD} +0.3V
工作温度范围	
工业级(B版本)	-40 至+105
存储温度范围	-65 至+150
结温	+150
SOT-23封装	
J _A 热阻	240 /W
引线温度, 焊接	
汽相(60秒)	+215
红外(15秒)	+220
微型SOIC封装, 功耗	450mW
J _A 热阻	206 /W
J _C 热阻	440 /W
引线温度, 焊接	
汽相(60秒)	+215
红外(15秒)	+220

* 强度超出所列的极限参数可能导致器件的永久性损坏。这些仅仅是极限参数,并不意味着在极限条件下或在任何其它超出推荐工作条件所示参数的情况下器件能有效地工作。延长在极限参数条件下的工作时间会影响器件的可靠性。

P&S 武汉力源电子股份有限公司

地址: 湖北武汉市卓刀泉路15号	P&S网网址: http://www.p8s.com
信箱: 武汉市70020信箱	邮编: 430079
电话: (86) (027) 87493500 ~ 87493506	传真: (86) (027) 87491166, 87493497

2.2 电特性

(除非另有说明, $V_{DD}=+2.7V$ 至 $+5.5V$; $R_L=2k$ 至GND; $C_L=200pF$ 至GND; $T_A=T_{MIN}$ 至 T_{MAX})

Parameter	B Version ¹			Units	Conditions/Comments
	Min	Typ	Max		
STATIC PERFORMANCE²					
Resolution	12			Bits	See Figure 2. Guaranteed Monotonic by Design. See Figure 3. All Zeroes Loaded to DAC Register. See Figure 6. All Ones Loaded to DAC Register. See Figure 6.
Relative Accuracy			± 16	LSB	
Differential Nonlinearity			± 1	LSB	
Zero Code Error		+5	+40	mV	
Full-Scale Error		-0.15	-1.25	% of FSR	
Gain Error			1.25	% of FSR	
Zero Code Error Drift		-20		$\mu V/^{\circ}C$	
Gain Temperature Coefficient		-5		ppm of FSR/ $^{\circ}C$	
OUTPUT CHARACTERISTICS³					
Output Voltage Range	0		V_{DD}	V	1/4 Scale to 3/4 Scale Change(400 Hex to C00 Hex). See Figure 16.
Output Voltage Settling Time		8	10	μs	
Slew Rate		1		V/ μs	$V_{DD} = +5 V$ $V_{DD} = +3 V$ Coming Out of Power-Down Mode. $V_{DD} = +5 V$ Coming Out of Power-Down Mode. $V_{DD} = +3 V$
Digital-to-Analog Glitch Impulse		20		nV-s	
Digital Feedthrough		0.5		nV-s	
DC Output Impedance		1		μA	
Short Circuit Current		50		mA	
		20		mA	
Power-Up Time		2.5		μs	
		5		μs	
LOGIC INPUTS³					
Input Current			± 1	μA	$V_{DD} = +5 V$
V_{INL} , Input Low Voltage			0.8	V	
V_{INL} , Input Low Voltage			0.6	V	$V_{DD} = +3 V$
V_{INH} , Input High Voltage	2.4			V	$V_{DD} = +5 V$
V_{INH} , Input High Voltage	2.1			V	$V_{DD} = +3 V$
Pin Capacitance			3	pF	
POWER REQUIREMENTS					
V_{DD}	2.7		5.5	V	DAC Active and Excluding Load Current $V_{IH} = V_{DD}$ and $V_{IL} = GND$ $V_{IH} = V_{DD}$ and $V_{IL} = GND$
I_{DD} (Normal Mode)					
$V_{DD} = +4.5 V$ to $+5.5 V$		140	250	μA	
$V_{DD} = +2.7 V$ to $+3.6 V$		115	200	μA	
I_{DD} (Power-Down)					$V_{IH} = V_{DD}$ and $V_{IL} = GND$ $V_{IH} = V_{DD}$ and $V_{IL} = GND$
$V_{DD} = +4.5 V$ to $+5.5 V$		0.2	1	μA	
$V_{DD} = +2.7 V$ to $+3.6 V$		0.05	1	μA	
POWER EFFICIENCY					
I_{OUT}/I_{DD}		93		%	$I_{LOAD} = 2 mA$. $V_{DD} = +5 V$

注：1. 温度范围如下：-40 至+105 (B版本)

2. 使用48至4047的代码范围计算线性度。输出被卸载。

3. 由设计和特性保证，产品未经测试。

以上特性未经通知有权修改。

2.3 定时特性^{1,2}

(除非另有说明, $V_{DD}=+2.7V$ 至 $+5.5V$; $GND=0V$; $T_A=T_{MIN}$ 至 T_{MAX})

Parameter	Limit at T_{MIN}, T_{MAX} (B Version)	Units	Conditions/Comments
t_1	33	ns min	SCLK Cycle Time
t_2	13	ns min	SCLK High Time
t_3	13	ns min	SCLK Low Time
t_4	0	ns min	\overline{SYNC} to SCLK Active Edge Setup Time
t_5	5	ns min	Data Setup Time
t_6	4.5	ns min	Data Hold Time
t_7	0	ns min	SCLK Falling Edge to \overline{SYNC} Rising Edge
t_8	33	ns min	Minimum \overline{SYNC} High Time

注：1. 样品在+25 测试。所有输入信号规定 $t_r=t_f=5ns$ (V_{DD} 的10%至90%), 并且是从电压电平 ($V_{IL}+V_{IH}$) /2处定时。

2. 见图1。

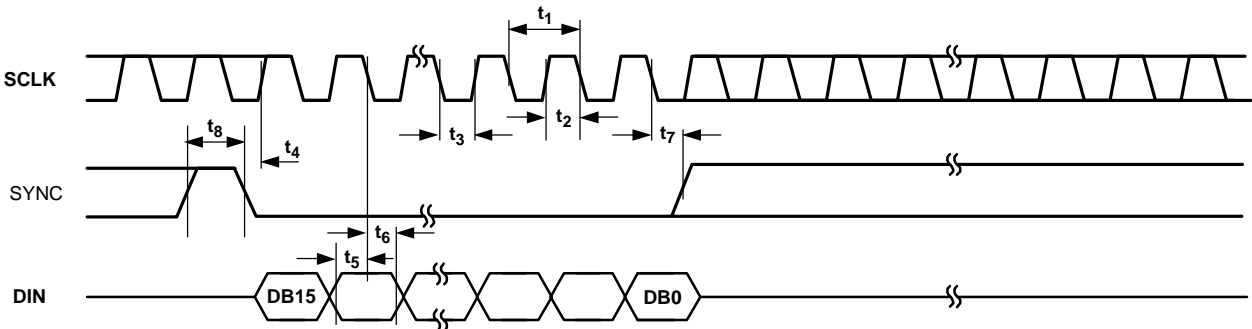


图1 串行写操作

2.4 典型特性曲线

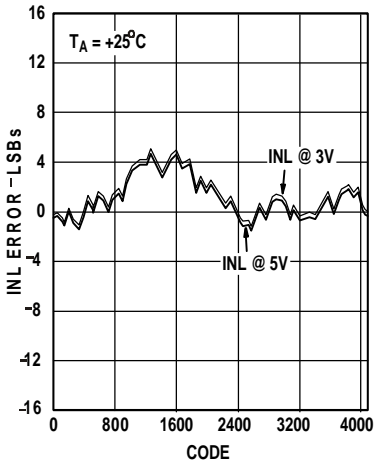


图2 典型的INL曲线

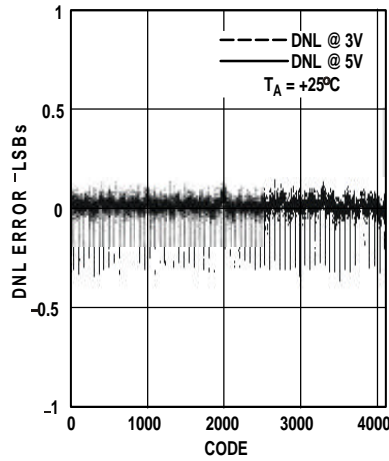


图3 典型的DNL曲线

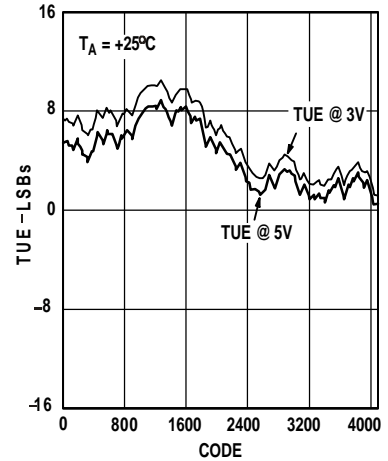


图4 典型的不可调整总误差

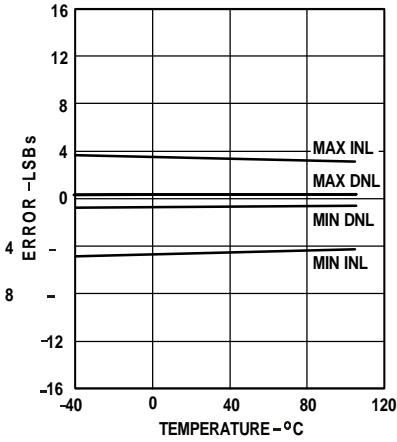


图5 INL误差及DNL误差和温度的关系

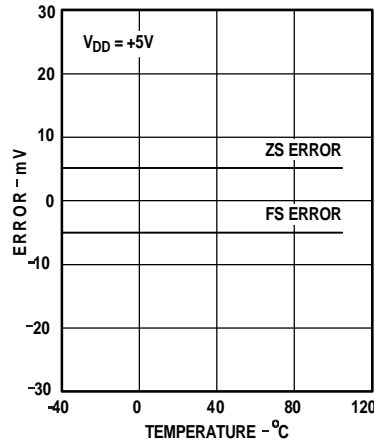


图6 零度误差及满度误差和温度的关系

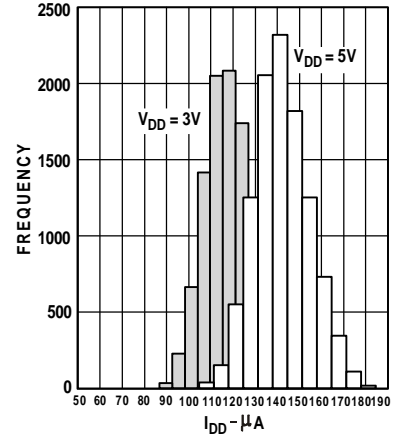


图7 VDD=3V和VDD=5V时的IDD分布图

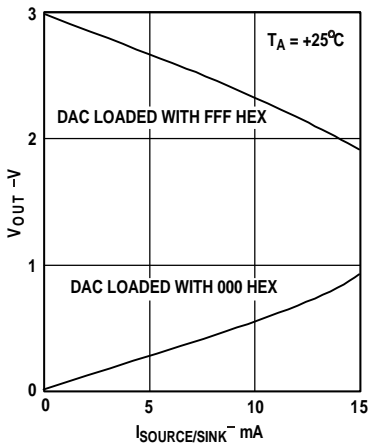


图8 VDD=3V时的源电流及吸收电流

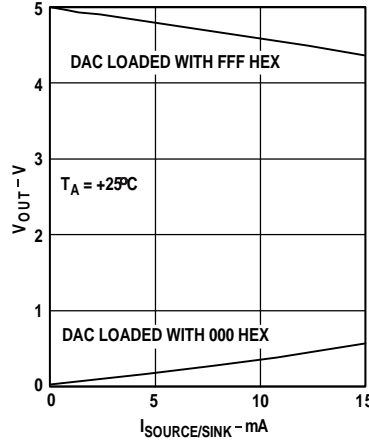


图9 VDD=5V时的源电流及吸收电流

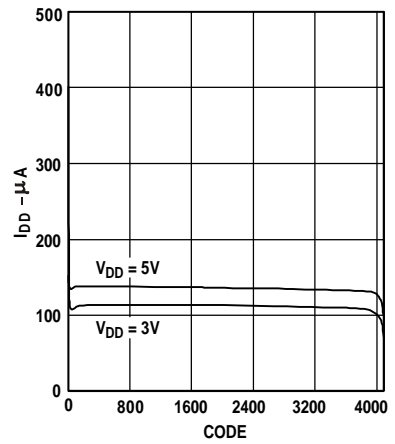


图10 电源电流和代码的关系

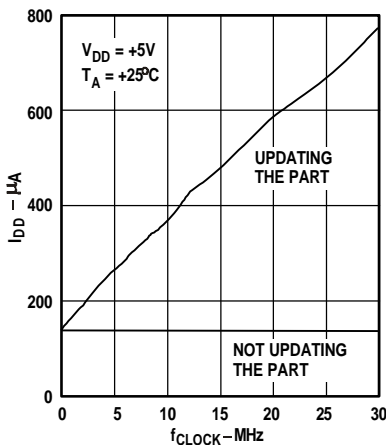


图11 电源电流和fCLOCK的关系

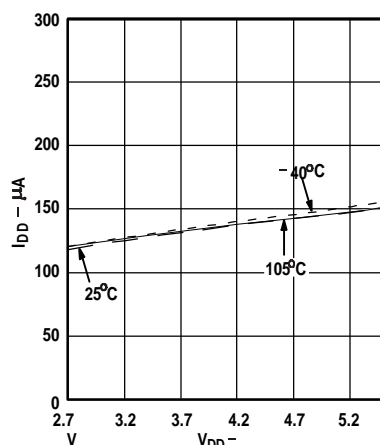


图12 电源电流和电源电压的关系

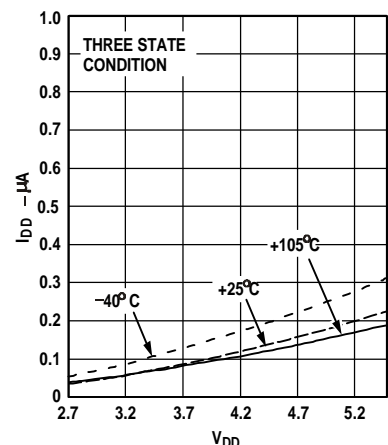


图13 掉电电流和电源电压的关系

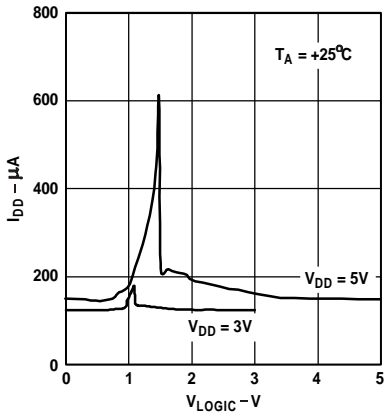


图14 电源电流和逻辑输入电压的关系

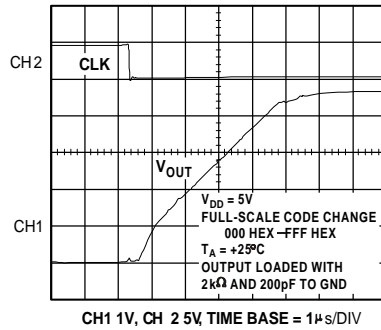


图15 满度 (full-scale) 稳定时间

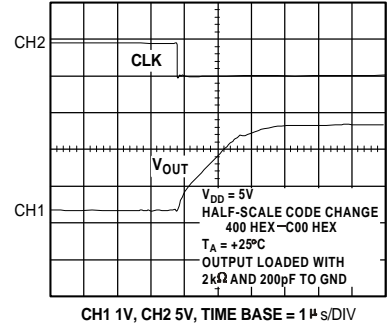


图16 半度 (half-scale) 稳定时间

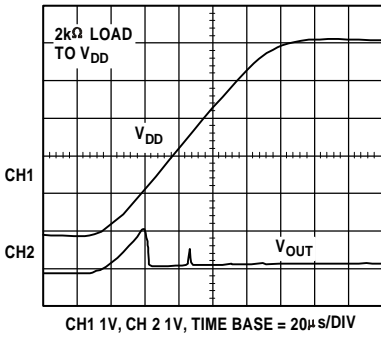


图17 上电复位至0V

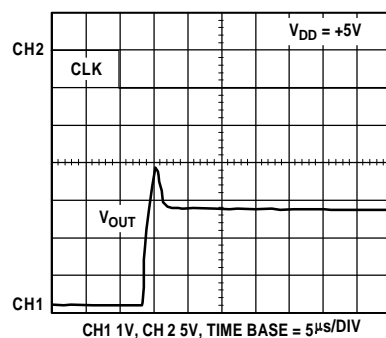


图18 退出掉电方式

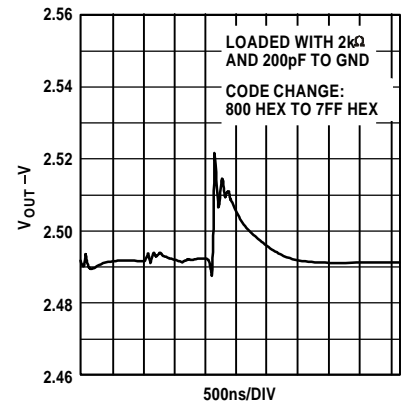


图19 数模转换的假信号脉冲

三、详细说明

3.1 结构概述

3.1.1 数模转换部分

AD5320的DAC采用CMOS工艺制造，其结构包含DAC、电阻串和输出缓冲放大器。由于没有基准输入脚，电源 (V_{DD}) 用作基准。图20表示DAC的结构方框图。

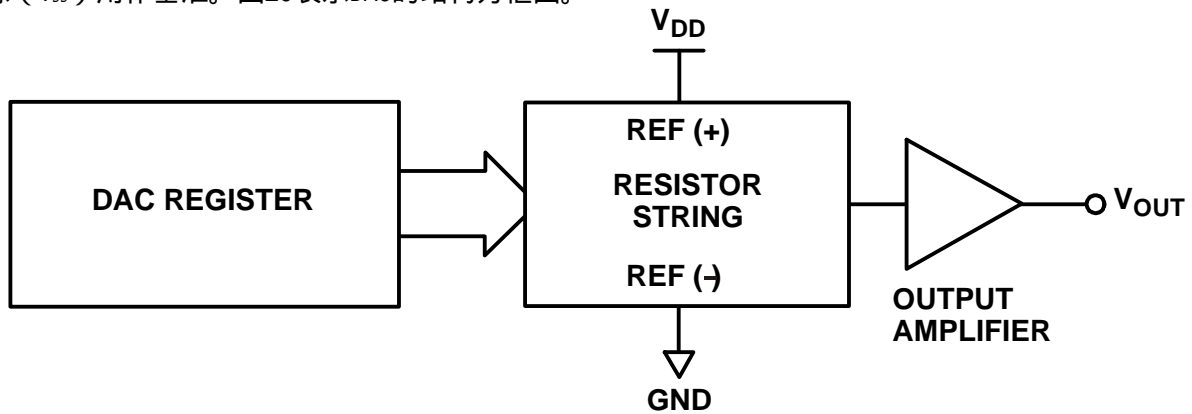


图20 DAC的结构

因为输入到DAC的代码直接就是二进制代码，那么理想的输出电压为： $V_{OUT}=V_{DD} \times (D/4096)$ 。其中D=装载到DAC寄存器的二进制代码的十进制形式，其范围是从0到4096。

3.1.2 电阻串

电阻串部分如图21所示，是每个阻值为R的一串电阻。装载到DAC寄存器的代码确定在电阻串的哪一个节点将电压抽出并馈送到输出放大器。通过闭合连接电阻串和放大器的开关来抽取电压。由于是一串电阻，所以可以保证单调性。

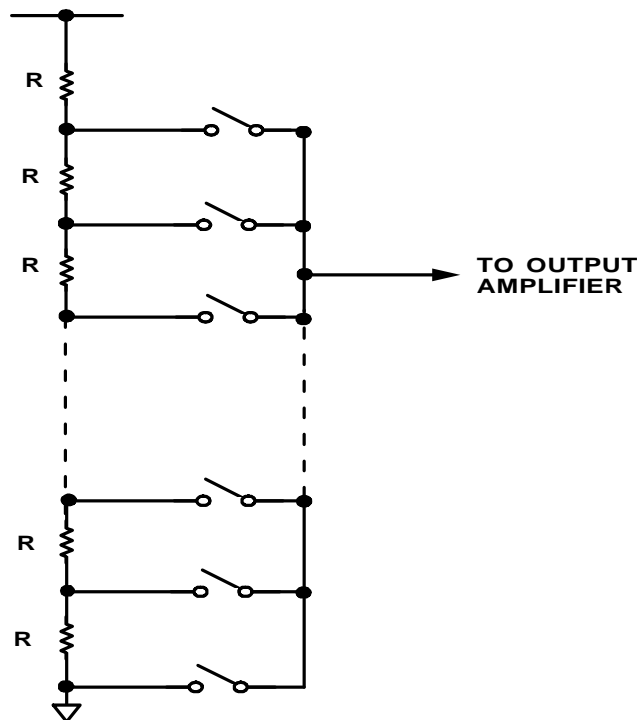


图21 电阻串

3.1.3 输出放大器

输出缓冲放大器有能力在其输出端产生范围从0V到 V_{DD} 的满电源幅度输出电压，也能驱动2k Ω 负载，此负载与接地的200pF电容并联。输出放大器吸收和提供电流的能力可参见图8和图9。输出被卸载且半度（half-scale）稳定时间为8 μ s时，转换速率为1V/ μ s。

3.2 串行接口

AD5320具有3线串行接口（ \overline{SYNC} 、SCLK和DIN），与SPI、QSPI和Microwire接口标准及大多数DSP兼容。图1所示为典型写序列的时序图。

将 \overline{SYNC} 拉至低电平可启动写序列。来自DIN线的数据在SCLK的下降沿随时钟送入16位移位寄存器。串行时钟频率可高达30MHz，使AD5320能与高速DSP兼容。在第16个时钟下降沿，最后一个数据位随时钟输入并执行已编制好的功能（即改变DAC寄存器的内容和/或改变工作方式）。在这个阶段， \overline{SYNC} 线可保持低电平或被拉为高电平。在两种情况下， \overline{SYNC} 必须在下一个写序列前被拉为高电平至少33ns，以使它的下降沿可启动又一个写序列。由于 \overline{SYNC} 缓冲器在 $V_{IN}=2.4V$ 时吸收的电流比 $V_{IN}=0.8V$ 时多，为了器件工作时功耗更低，应该使 \overline{SYNC} 在写序列之间间隔期内闲置为低电平。正如上面已提到的，在下次写序列之前，必须使 \overline{SYNC} 返回为高电平。

3.2.1 输入移位寄存器

输入移位寄存器为16位宽（见图22）。前2位是“无关位”，接下来2位是控制位，控制器件处于哪一种工作方式（正常方式或任意一种掉电方式）。有关三种不同的掉电工作方式，在“掉电方式”一节中将有更详细的说明。最后12位是数据位，它们在SCLK的第16个下降沿被传送给DAC寄存器。

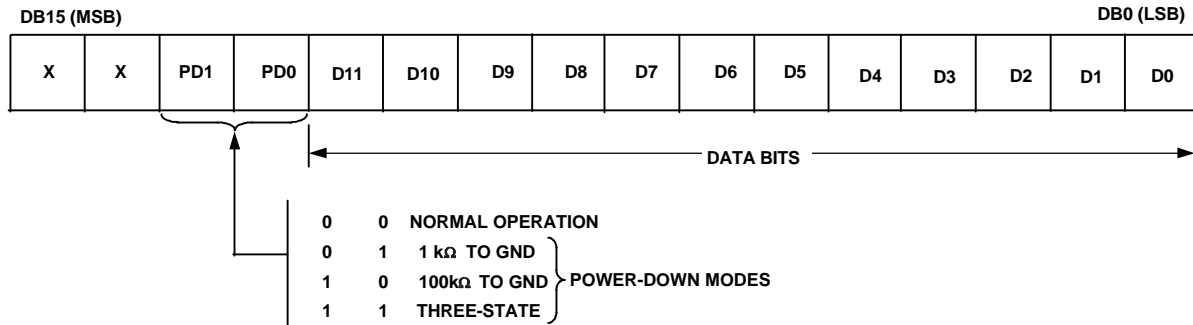


图22 输入寄存器的内容

3.2.2 SYNC中断

在正常的写序列中，SYNC线至少要保持低电平一直到SCLK的第16个下降沿，DAC在这第16个下降沿被更新。但是，如果SYNC在第16个下降沿之前被拉为高电平，就意味着写序列的中断。此时移位寄存器复位，写序列视作无效。DAC寄存器内容的更新或工作方式的改变均不发生——参见图23。

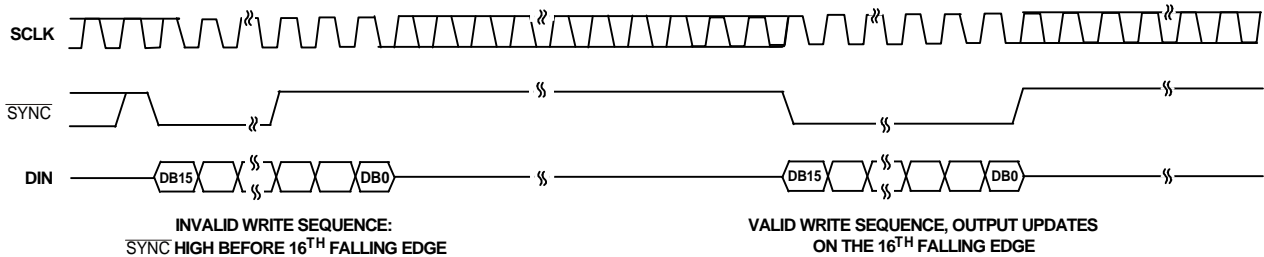


图23 SYNC中断

3.2.3 上电复位

AD5320包含一个上电复位电路可在上电期间控制输出电压。DAC寄存器填充0，输出电压为0V，且一直保持到对DAC发生有效的写序列。这一点对于在上电过程中需要知道DAC输出状态的应用领域非常重要。

3.2.4 掉电方式

AD5320具有四种不同的工作方式。这些方式可由软件对控制寄存器中的两位（DB13和DB12）编程而得。表1说明这两位的状态所对应的工作方式。

表1 AD5320的工作方式

DB13	DB12	工作方式
0	0	正常方式
		掉电方式
0	1	1k 至地
1	0	100k 至地
1	1	三态

当两位都置为0时，器件正常工作，其正常功耗在5V时为140 μ A。但是，对于三种掉电方式，电源电流在5V时降至200nA(3V时为50nA)。不仅如此，输出级在内部也从放大器输出切换至阻值已知的电阻网络。其优点是在器件处于掉电方式时输出阻抗是已知的。有三个不同的选项：输出在内部可通过1k 的电阻、100k 的电阻连至GND，或者留作开路（三态）。输出级示于图24。

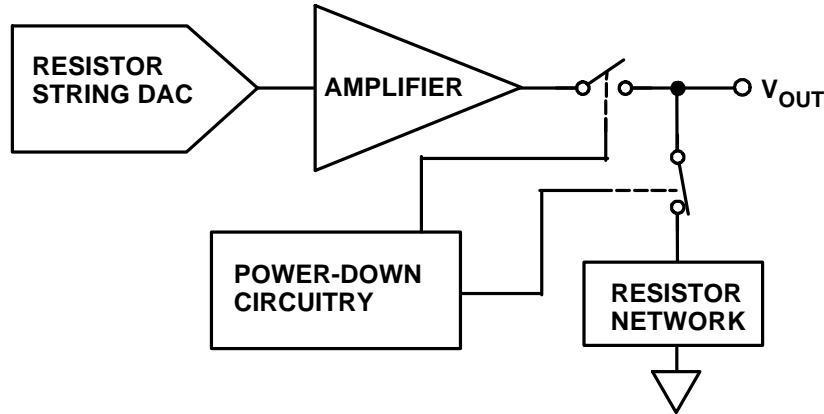


图24 掉电期间的输出级

当激活掉电方式时，偏置产生器、输出放大器、电阻串和其它有关的线性电路都被关闭。但是，DAC寄存器的内容却不受影响。退出掉电方式所需的时间在 $V_{DD}=5V$ 时和 $V_{DD}=3V$ 时的典型值分别为2.5 μ s和5 μ s。可参见图18的曲线。

3.3 微处理器接口

3.3.1 AD5320和ADSP-2101/ADSP-2103接口

图25表示AD5320和ADSP-2101/ADSP-2103之间的串行接口。ADSP-2101/ADSP-2103应该设置成工作在SPORT发送交替帧方式中(Transmit Alternate Framing Mode)。ADSP-2101/ADSP-2103 SPORT可由SPORT控制寄存器编程并应该作如下配置：内部时钟、低电平有效帧、16位字。在使能SPORT后写一个字到Tx寄存器可启动发送。

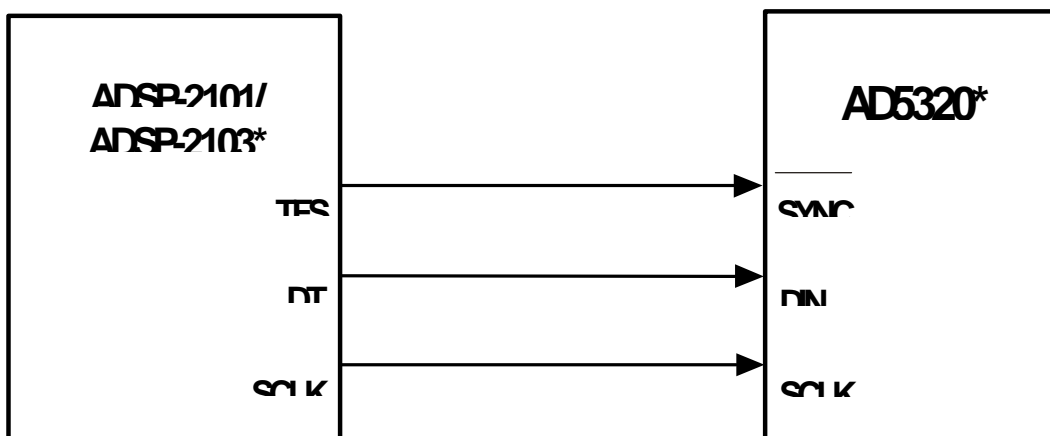
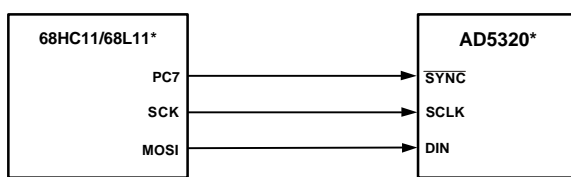


图25 AD5320和ADSP-2101/ADSP-2103接口

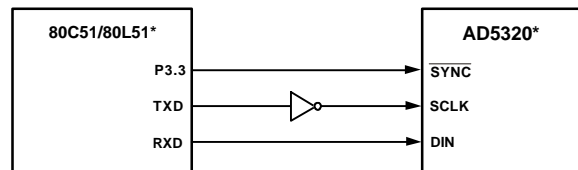
3.3.2 AD5320和68HC11/68L11接口

图26表示AD5320和68HC11/68L11微控制器之间的串行接口。68HC11/68L11的SCK驱动AD5320的CLKIN端，而MOSI输出则驱动DAC的串行数据线。SYNC信号来自于一条端口线（PC7）。此接口正确工作需要的配置条件为：应该配置68HC11/68L11使其CPOL位为0、CPHA位为1。当数据被传送给DAC时，SYNC线被拉为低电平（PC7）。在这种情况下，MOSI输出端出现的数据在SCK的下降沿有效。在传送周期内仅用8个时钟下降沿便可以8位字节一次发送来自68HC11/68L11的串行数据。数据是以MSB在前的形式发送的。为了给AD5320装载数据，在发送了第一个8位后，PC7被留作低电平。在此过程的末尾则对DAC执行第二次串行写操作并将PC7拉为高电平。



*ADDITIONAL PINS OMITTED FOR CLARITY

图26 AD5320和68HC11/68L11接口



*ADDITIONAL PINS OMITTED FOR CLARITY

图27 AD5320和80C51/80L51接口

3.3.3 AD5320和80C51/80L51接口

图27表示AD5320和80C51/80L51微控制器之间的串行接口。接口可如下配置：80C51/80L51的TXD驱动AD5320的SCLK，而RXD则驱动器件的串行数据线。SYNC信号来自于端口的1位可编程脚。在这种情况下需使用P3.3端口线。80C51/80L51仅以8位字节一次发送数据，因此在传送周期内只需要8个时钟下降沿。为了给DAC装载数据，在发送了第一个8位后，P3.3被留作低电平，启动第二个写周期以发送数据的第二个字节。此周期结束后P3.3被拉为高电平。80C51/80L51以LSB在先的方式输出串行数据。而AD5320要求以MSB在先的方式接收数据。所以80C51/80L51的传送路线应该考虑到这种差异。

3.3.4 AD5320和Microwire接口

图28表示AD5320和任何与Microwire兼容器件之间的接口。串行数据在串行时钟的下降沿移出，并随时钟在SK的上升沿移入AD5320。

四、应用资料

4.1 将REF19x用作AD5320的电源

因为AD5320要求电源电流非常低，所以可以选择用REF19x电压基准（对于5V用REF195，而对于3V则用REF193）提供器件所需的电压（见图29）。如果电源有较大干扰或系统电源电压的值不是5V或3V（例如是15V），那么这一点就显得尤为重要。REF19x将为AD5320输出稳定的电源电压。如果使用低降落的REF195，那么它需要给AD5320提供的电流为140 μA。此时DAC的输出无负载。当DAC输出加载时，REF195还是需要向负载提供电流。因此总电流（DAC输出端有负载5k）为：

$$140 \mu A + (5V/5k) = 1.14mA$$

REF195的负载调整典型值为2ppm/mA，对于吸收的1.14mA电流而言，将导致2.3ppm（11.5 μV）的误差。这相当于0.009LSB的误差。

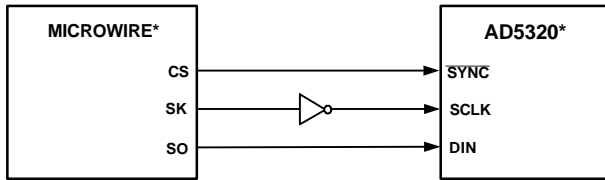


图28 AD5320和Microwire接口

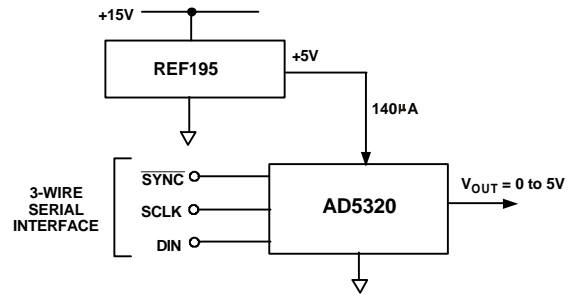


图29 REF195用作AD5320的电源

4.2 AD5320的双极性工作

AD5320是为单电源工作而设计的,若采用图30所示电路也可具有一个双极性输出范围。下各电路将提供 ± 5V的输出电压范围。采用AD820或OP295作为输出放大器可使其输出达到满电源幅度。

任何输入代码的输出电压可计算如下:

$$V_O = \left[V_{DD} \times \left(\frac{D}{4096} \right) \right] \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right)$$

其中D表示十进制的输入代码 (0-4095), $V_{DD}=5V$, $R1=R2=10k$, 所以 $V_O = (10 \times D / 4096) - 5V$ 。
± 5V的输出电压范围中十六进制000对应于-5V输出,而FFF则对应于+5V输出。

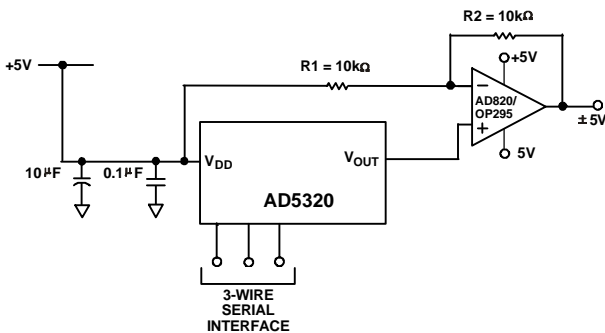


图30 AD5320的双极性工作

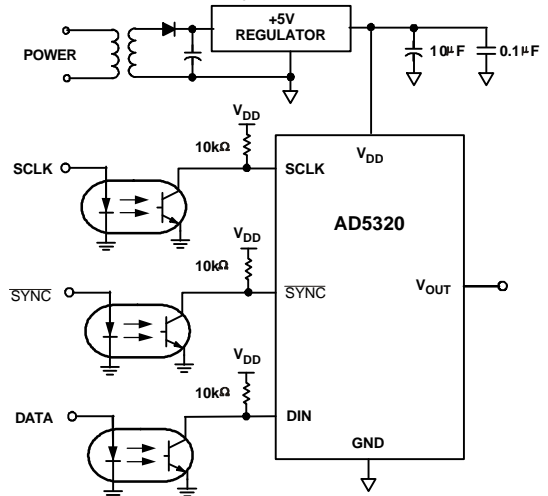


图31 AD5320带有光隔离接口的应用

4.3 AD5320带有光隔离接口的应用

在工业环境中的过程控制应用领域,非常有必要使用光隔离接口来保护和隔离控制电路免受任何共模电压的损害。光隔离器提供超过3kV的隔离电压。由于AD5320使用了3线串行逻辑接口,因此仅需要3个光隔离器来提供所需的隔离电压(见图31)。器件的电源也需要被隔离,用一个变压器即可做到这一点。在变压器的DAC一侧,一个+5V稳压器可提供AD5320所需的+5V电源。

4.4 电源旁路和接地

在电路板上适当考虑电源和地回路的布局对于提高电路的精度很有帮助。在包含AD5320的印制电路板

中,数字和模拟电路部分应该分开,各自有自己的电路板空间。如果系统中其它器件要求AGND和DGND相连,那么应该将它们只连接在一点。该接地点应该尽可能靠近AD5320。

AD5320的电源应该用10 μ F和0.1 μ F的电容旁路。电容应尽可能靠近器件,最理想的是将0.1 μ F电容放置在AD5320的正上方。10 μ F电容为钽电容。0.1 μ F电容最好具有较低的等效串联电阻(ESR)和等效串联电感(ESI)的类型,例如普通的陶瓷电容。对于内部逻辑切换引起的瞬变电流而产生的高频,0.1 μ F的电容可提供一条接地的低阻抗路径。

电源线本身应该具有尽可能宽的布线以提供低阻抗回路并降低电源线上的低频干扰效应。时钟和其它快速开关数字信号应该用数字地将自己与电路板上其它部件屏蔽开来。如有可能,尽量避免数字和模拟信号之间的串扰。当布线穿过电路板的反面时,保证它们互相成直角以减少对电路板的反馈作用。最佳的电路板布局方式是元件面专用作接地面,而信号线则布置于焊接面上。但是,对于两层电路板而言,这方法一般行不通。

P&S 武汉力源电子股份有限公司

地址:湖北武汉市卓刀泉路15号

信箱:武汉市70020信箱

电话:(86) (027) 87493500 ~ 87493506

P&S网网址: <http://www.p8s.com>

邮编:430079

传真:(86) (027) 87491166, 87493497