

# FM1808

256K位的并行存储器



## 特性

### 1 256K位的非易失性铁电随机存储器

组织结构为32768\*8位

读写寿命为100亿次

掉电数据保存10年

写数据无延时

先进的铁电技术制造

### 2 对BBSRAM模组的优势

没有电池产生的不良因素

电路简化 可靠性高

真正的表面贴装方案

在潮湿 电击和防震方面优于BBSRAM模组

### 3 与SRAM或并行EEPROM兼容

JEDEC 32K\*8的SRAM或EEPROM脚位

70NS访问时间

130NS的周期

### 4 低功耗操作

工作电流为25MA

待机电流20UA

### 5 工业标准

工业温度-40 C to +85 C

8脚---DIP和SOIC

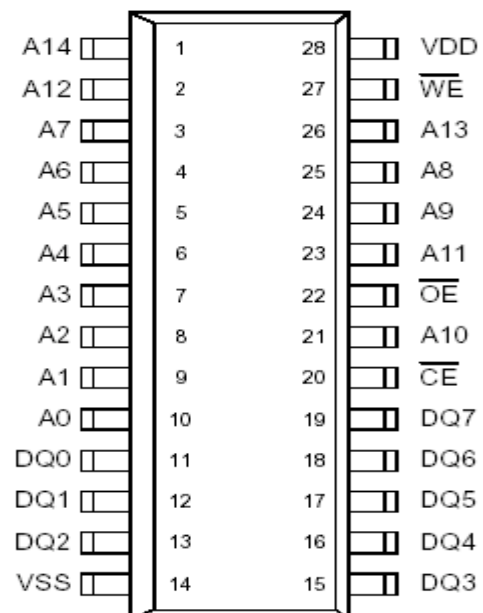
## 描述

FM1808是用先进的铁电技术制造的256K位的非易失性的记忆体 铁电随机存储器 FRAM 是一种具有非易失性 并且可以象RAM一样快速读写 但它没有BBSRAM模组系统的设计复杂性 缺点和相关的可靠性问题 数据在掉电可以保存10年 高速写以及高擦写次数使得它比EEPROM或其他非易失性存储器可靠性更高 系统更简单

在系统操作时 FM1808象RAM一样读与写的周期相等 FRAM具有非易失性是归于它先进的工艺 不象BBSRAM 它是一款真正的非易失性记忆体 有SRAM的功能 但没有SRAM的缺点

FM1808的写能力使得它在需要对非易失性记忆体快速读写的状况下非常理想 表面贴状提高了新设计的制造能力 工业温度-40 C to +85 C

## 引脚定义



Ordering Information	
FM1808-70-P	70 ns access, 28-pin plastic DIP
FM1808-70-S	70 ns access, 28-pin SOIC
FM1808-120-P	120 ns access, 28-pin plastic DIP
FM1808-120-S	120 ns access, 28-pin SOIC

深圳市宝安南路 3083 号蔡屋围发展大厦 2204 房 邮编:518008

电话 0755 82128054 82127939 传真 0755 82127969 E-mail: information@huazhoucn.com

网址 [www.ramtron.com.cn](http://www.ramtron.com.cn)

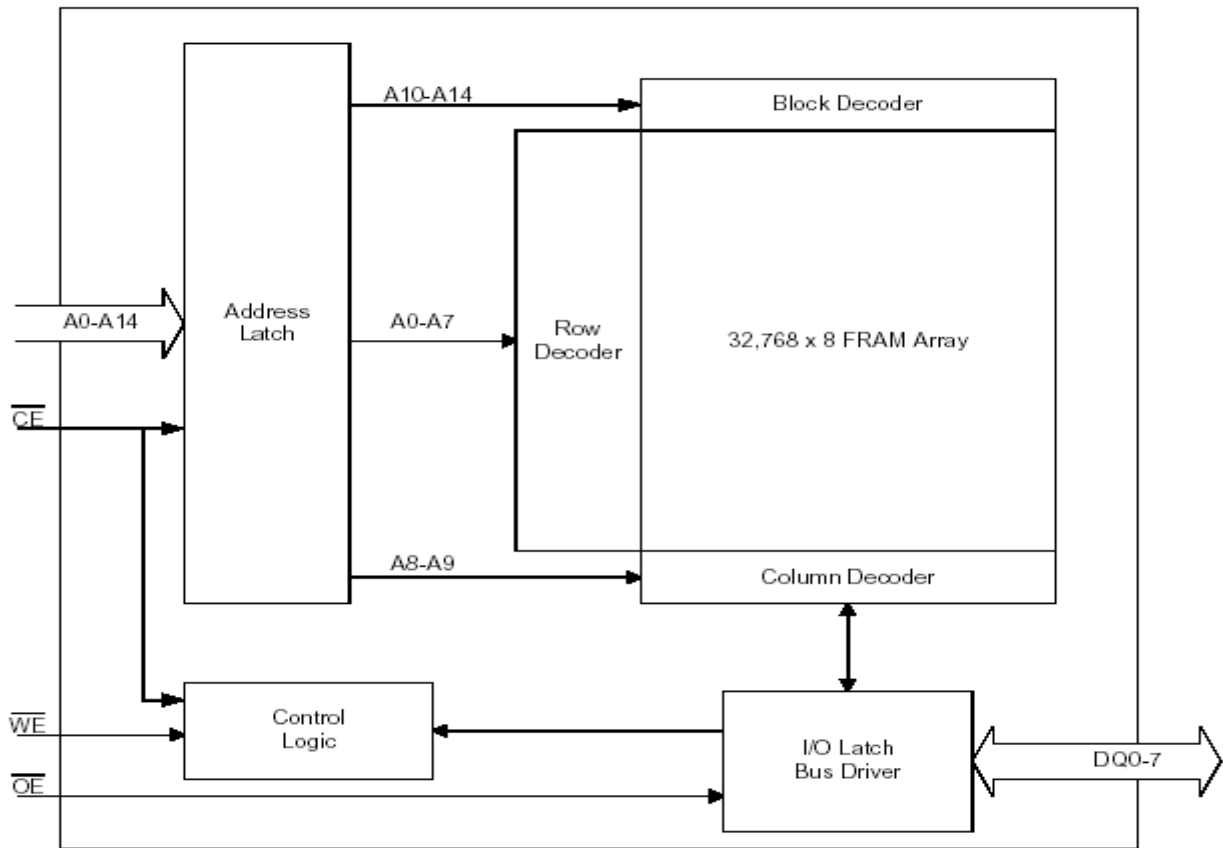


Figure 1. Block Diagram

## 引脚定义

脚位名称	性质	描述
A0-A14	输入	地址线 地址数据在/ $\overline{CE}$ 的下降沿被锁定
DQ0-7	I/O	数据线
$\overline{CE}$	输入	片选 当/ $\overline{CE}$ 是低电平时 芯片被选中 在没有下一个下降沿来时 地址变化无效
$\overline{OE}$	输入	输出使能 当/ $\overline{OE}$ 为低电平 FM1808把数据送到总线 当/ $\overline{OE}$ 为高 DQ为高阻态
$\overline{WE}$	输入	写使能 当/ $\overline{WE}$ 为低电平 总线的的数据写如被/ $\overline{CE}$ 所定的地址中
VDD	电源	供电电压5V
VSS	电源	地

## 功能真值表

$\overline{CE}$	$\overline{WE}$	功能
高	任意	等待
下降沿	任意	锁定地址 如果/ $\overline{WE}$ 为低 开始写
低	高	读数据
低	低	写数据

## 描述

FM1808是用先进的铁电技术制造的256K位的非易失性的记忆体。铁电随机存储器 FRAM 是一种具有非易失性，并且可以象RAM一样快速读写，但它没有BBSRAM模组系统的设计复杂性。缺点和相关的可靠性问题。数据在掉电可以保存10年。高速写以及高擦写次数使得它比EEPROM或其他非易失性存储器可靠性更高。系统更简单。

在系统操作时，FM1808象RAM一样读与写的周期相等。FRAM具有非易失性是归于它先进的工艺。不象BBSRAM，它是一款真正的非易失性记忆体，有SRAM的功能，但没有SRAM的缺点。

FM1808的写能力使得它在需要对非易失性记忆体快速读写的状况下非常理想。表面贴状提高了新设计的制造能力。工业温度-40 C to +85 C。

### 读操作

读操作在/CE的下降沿开始。这时，地址位被锁存。记忆体周期开始。一旦开始，一个完整的记忆体的记忆周期必须在内部完成。即使/CE端不活跃，地址被锁存后，地址值可以在满足保持时间参数的基础上改变。不象SRAM地址被锁存后，改变地址值也不会影响存储器操作。

FM1808在/OE脚为低电平时，驱动数据总线。如果/OE在存储器访问时间已被满足的情况下出现，数据总线直到有效值出现才会被驱动。

这个特征可以除去无效数据出现在总线上产生的尖峰，减少系统消耗电流。

### 写操作

FM1808写与读一样有一样的时间间隔。FM1808由/CE和/WE控制写操作。地址均在/CE的下降沿锁存。/CE控制写操作时，/WE在开始记忆体周期之前置0。那就是说，当/CE下降时，/WE为低电平。FM1808不驱动数据总线与/OE状态无关。/CE控制写操作时，记忆体周期由/CE下降沿开始。/WE信号在/CE下降沿降落。因此，记忆体周期作为读开始。数据总线在/WE为低之前，由/OE的状态来确定。/CE和/WE控制写周期在电气参数表中描述。

写访问在记忆体周期开始，同步访问存储器阵列。写访问在/WE和/CE端的上升沿终止。无论那一个为先，电气参数表中描述。数据建立时间表示数据不能在写访问结束之前更改。

不象其它的非易失性记忆体时，FRAM没有写延时。读与写访问时间是一致的。整个记忆体操作在一个总线周期出现。因此，任何操作都能在一个写操作后立即进行。不象EEPROM需要通过一些技巧来判断写操作是否完成。

## 预充电 操作

预充电 操作是为新访问记忆体的一个内部条件 所有记忆体周期包括记忆体访问和预充电 预充电是由/CE脚为高电平开始 它必须保持高电平至少为最小的时间TPC 用户决定这个操作的开始 因为预充电直到/CE上升才开始 这个部件有最大的/CE为低电平的时间被满足

## 持久性和数据保存

数据保存参数在以下的电参数规格书中 FRAM操作均有读和机械性存储 所以读写次数与每一次读写都有关系 FRAM结构是基于行与列的排布 行为32位宽度 每四个字节为界 每次访问对每一行都要减少一次寿命 在不同的行确保平均的访问记忆体可以优化记忆体的持久性 使其非易失性发挥到最大 不管怎样FRAM读写次数在总线操作频率在400KHZ时无限制 即使每秒访问30次 100亿次的寿命到时 10年已过去了 应用

FM1808 作为一个真正的非易失性RAM 适用于广泛的领域 很明显 除了一次编程应用的其他所有领域 铁电记忆体的读写次数以及快速性集成一体均比 SRAM 加后备电池更具优势 1 取代 SRAM 加后备电池 2 在一些新领域的应用

### FRAM 的优势

尽管SRAM加后备电池是一个成熟的方案 但它仍然有许多不足 这些不足之处与电池有很大关系 FRAM由于他的材料特性不需要电池

## 架构要点

### 1. 成本

SRAM 加后备电池的制造和元件成本很高 FRAM 的集成结构使得他的低成本成为必然 另外 使用贴片元件不需要象 SRAM 加后备电池的电池的再加工步骤 这样装配工艺更加经济 SRAM 加后备电池模组的双列直插使得用户需要考虑穿孔装配技术和用水清洗线路板

### 2. 湿度

在60e C SRAM加后备电池模组在没有偏流和压力的条件下能承受的最大湿度90%Rh, 这些条件参数被选择是因为多元件易受湿气和脏物的袭击 FRAM 是用 HAST high accelerated stress test. 来评估 这个条件为 85% Rh, 24.4 psia at 5.5V.

### 3. 系统可靠性

使用SRAM加后备电池模组的数据完整性应该被质疑 它易受电击或震动的影响 电池松动 数据会丢失 另外负压或者是短暂的负脉冲加在信号脚上都会引起数据丢失 负压导致电流直接从电池流出 这些短暂的旁路可能大大的减弱或减少电池的容量 在掉电的瞬间加负压 数据立即丢失

### 4. 空间问题

后备电池模组的一些易受震动的缺点可以通过使用双列直插的方式减弱 但是这种方式占用线路板空间 高度或者是穿孔装配 FRAM提供了贴片封装可以为用户节约75% 的板空间. 电池问题

### 5. 数据保持领域

不管电池方案多么成熟 它始终存在一些问题 最终会被取代掉

### 6. 环境

锂电池普遍认为存在环境问题 它可能导致火灾 正确的处理废电池也是一个负担 另外运送锂电池要求也很严格

### 7. 时尚!

SRAM加后备电池已经成为过去 FRAM将成为系统设计的一种趋势

## FRAM 设计要点

第一次使用FRAM 使用过SRAM的用户应注意他们之间的小小不同 FRAM在/CE的下降沿锁存每个地址 这样就允许在每一次访问记忆体开始之后 地址总线改变 每次访问在/CE下降沿锁存每个地址 用户不能把它当SRAM完全一样使用 用户更改原有的设计应该检查记忆体地址和控制脚位的时序兼容问题 每一次访问都必须确保/CE的由高向低的跃变 这是唯一与SRAM不同的地方 图2列出了SRAM和FRAM不同之处 /CE端选通每个地址的原因有两个 当/CE为高电平 它锁存新地址和建立必须的预

第二个设计要考虑的是操作是电源供应问题

SRAM加后备电池为了在掉电时切换电池供电必须监控VDD 为了减小电池损耗 在掉电之后用户不允许访问SRAM 用户可能被突然在没警告或是提示的情况下掉电而无法访问存储器

FRAM 记忆体不需要上述的系统 电源监控

记忆体在任何电源电压下不会终止被访问 用户应在电源在规定的范围之外阻止处理器访问记忆体 当电源掉电时 处理器复位

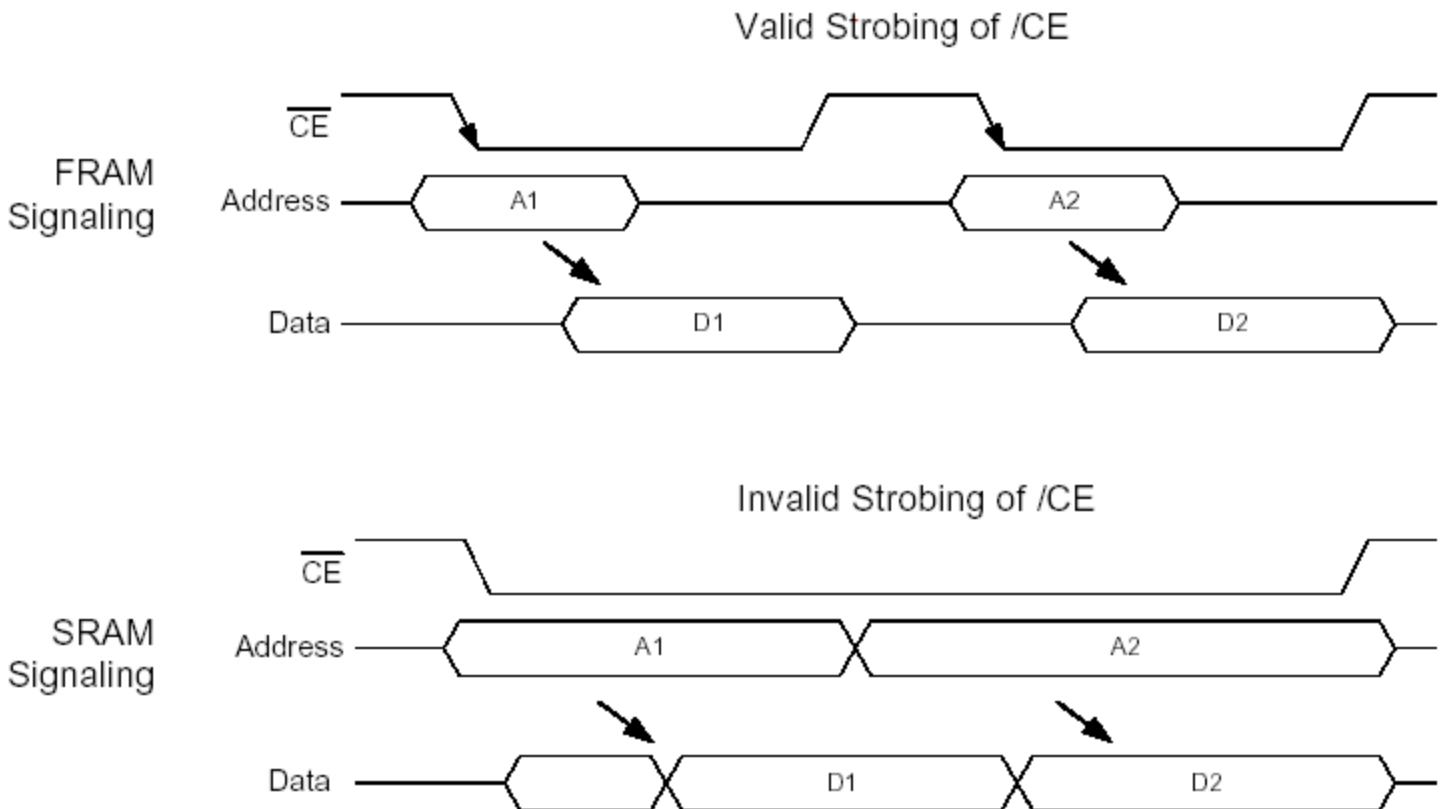


Figure 2. Chip Enable and Memory Address Relationships

## Electrical Specifications

### Absolute Maximum Ratings

Symbol	Description	Ratings
$V_{DD}$	Power Supply Voltage with respect to $V_{SS}$	-1.0V to +7.0V
$V_{IN}$	Voltage on any pin with respect to $V_{SS}$	-1.0V to +7.0V and $V_{IN} < V_{DD} + 1.0V$
$T_{STG}$	Storage Temperature	-40°C to +85°C
$T_{LEAD}$	Lead Temperature (Soldering, 10 seconds)	300° C

Stresses above those listed under Absolute Maximum Ratings may cause permanent damage to the device. This is a stress rating only, and the functional operation of the device at these or any other conditions above those listed in the operational section of this specification is not implied. Exposure to absolute maximum ratings conditions for extended periods may affect device reliability.

### DC Operating Conditions ( $T_A = -40^\circ\text{C}$ to $+85^\circ\text{C}$ , $V_{DD} = 4.5V$ to $5.5V$ unless otherwise specified)

Symbol	Parameter	Min	Typ	Max	Units	Notes
$V_{DD}$	Power Supply	4.5	5.0	5.5	V	
$I_{DD1}$	VDD Supply Current (180 ns cycle)		7	15	mA	1
$I_{DD2}$	VDD Supply Current (130 ns cycle)		12	25	mA	1
$I_{SB1}$	Standby Current – TTL input levels			400	$\mu\text{A}$	2
$I_{SB2}$	Standby Current – CMOS input levels		7	20	$\mu\text{A}$	3
$I_{LI}$	Input Leakage Current	-		10	$\mu\text{A}$	4
$I_{LO}$	Output Leakage Current	-		10	$\mu\text{A}$	4
$V_{IH}$	Input High Voltage	2.0		$V_{DD} + 0.3$	V	
$V_{IL}$	Input Low Voltage	-0.3		0.8	V	
$V_{OH}$	Output High Voltage ( $I_{OH} = -2.0\text{ mA}$ )	2.4		-	V	
$V_{OL}$	Output Low Voltage ( $I_{OL} = -4.2\text{ mA}$ )	-		0.4	V	

#### Notes

- $V_{DD} = 5.5V$ , /CE cycling at minimum cycle time, 130 ns for -70 and 180 ns for -120. All inputs at CMOS levels, all outputs unloaded.
- $V_{DD} = 5.5V$ , /CE at  $V_{IH}$ . All inputs at TTL levels, all outputs unloaded.
- $V_{DD} = 5.5V$ , /CE at  $V_{IH}$ . All inputs at CMOS levels, all outputs unloaded.
- $V_{IN}$ ,  $V_{OUT}$  between  $V_{DD}$  and  $V_{SS}$ .

### Data Retention ( $V_{DD} = 4.5V$ to $5.5V$ unless otherwise specified)

Parameter	Min	Units	Notes
Data Retention	10	years	1

#### Notes

The relationship between retention, temperature, and the associated reliability level is characterized in a separate reliability report.



**Read Cycle AC Parameters** ( $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ ,  $V_{DD} = 4.5\text{V}$  to  $5.5\text{V}$  unless otherwise specified)

Symbol	Parameter	-70		-120		Units	Notes
		Min	Max	Min	Max		
$t_{CE}$	Chip Enable Access Time (to data valid)		70		120	ns	
$t_{CA}$	Chip Enable Active Time	70	10,000	120	10,000	ns	
$t_{RC}$	Read Cycle Time	130		180		ns	
$t_{PC}$	Precharge Time	60		60		ns	
$t_{AS}$	Address Setup Time	4		4		ns	
$t_{AH}$	Address Hold Time	10		10		ns	
$t_{OE}$	Output Enable Access Time		10		10	ns	
$t_{HZ}$	Chip Enable to Output High-Z		15		15	ns	1
$t_{OHZ}$	Output Enable to Output High-Z		15		15	ns	1

**Write Cycle AC Parameters** ( $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ ,  $V_{DD} = 4.5\text{V}$  to  $5.5\text{V}$  unless otherwise specified)

Symbol	Parameter	-70		-120		Units	Notes
		Min	Max	Min	Max		
$t_{CA}$	Chip Enable Active Time	70	10,000	120	10,000	ns	
$t_{CW}$	Chip Enable to Write High	70		120		ns	
$t_{WC}$	Write Cycle Time	130		180		ns	
$t_{PC}$	Precharge Time	60		60		ns	
$t_{AS}$	Address Setup Time	4		4		ns	
$t_{AH}$	Address Hold Time	10		10		ns	
$t_{WP}$	Write Enable Pulse Width	40		40		ns	
$t_{DS}$	Data Setup	30		40		ns	
$t_{DH}$	Data Hold	5		5		ns	
$t_{WZ}$	Write Enable Low to Output High Z		15		15	ns	1
$t_{WX}$	Write Enable High to Output Driven	10		10		ns	1
$t_{HZ}$	Chip Enable to Output High-Z		15		15	ns	1
$t_{WS}$	Write Setup	0		0		ns	2
$t_{WH}$	Write Hold	0		0		ns	2

**Notes**

- 1 This parameter is periodically sampled and not 100% tested.
- 2 The relationship between /CE and /WE determines if a /CE- or /WE-controlled write occurs. There is no timing specification associated with this relationship.

**Power Cycle Timing** ( $T_A = -40^\circ\text{C}$  to  $+85^\circ\text{C}$ ,  $V_{DD} = 4.5\text{V}$  to  $5.5\text{V}$  unless otherwise specified)

Symbol	Parameter	Min	Max	Units	Notes
$t_{PU}$	$V_{DD}(\text{min})$ to First Access Start	1	-	$\mu\text{S}$	
$t_{PD}$	Last Access Complete to $V_{DD}(\text{min})$	0	-	$\mu\text{S}$	1
$t_{POFF}$	Power Off Time	1	-	$\mu\text{S}$	1
$V_{DD}(\text{off})$	Power Off Voltage	-0.1	0.1	V	1

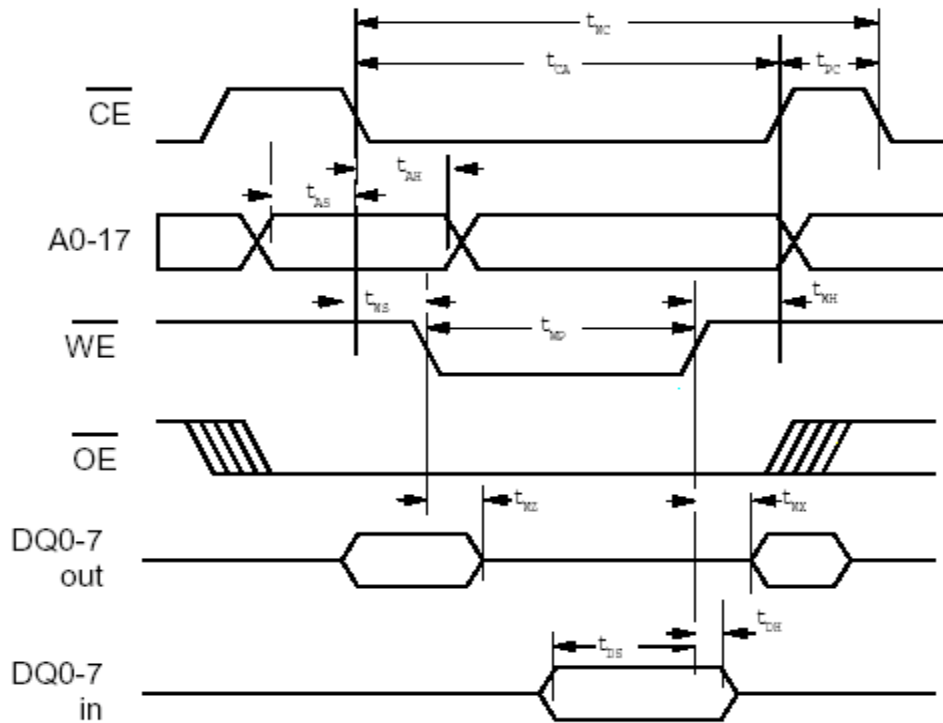
**Notes**

- 1 Anytime that the power to the device ( $V_{DD}$ ) drops below 4.0 volts, the power supply must be taken to 0 volts ( $\pm 0.1$  volts) for a minimum time of 1.0 microseconds  $t_{POFF}$  before power is restored to the device. It is recommended that the  $V_{DD}$  pin be actively driven to ground through a low impedance path to ensure reliable power-up operation.

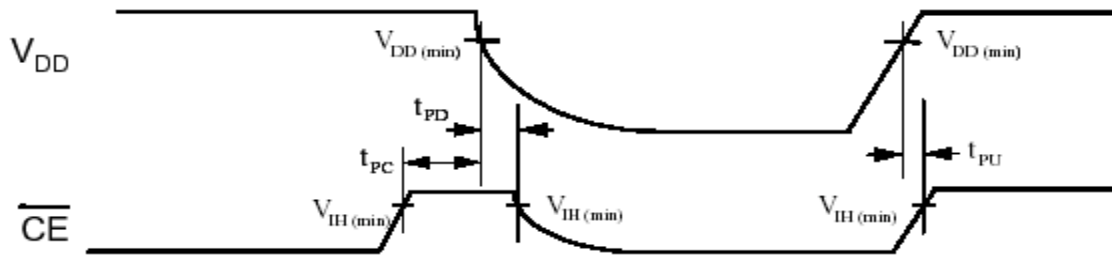




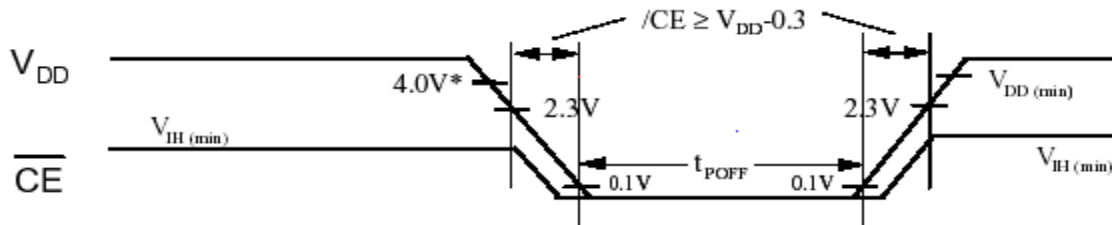
Write Cycle Timing - /WE Controlled Timing



Power Cycle Timing

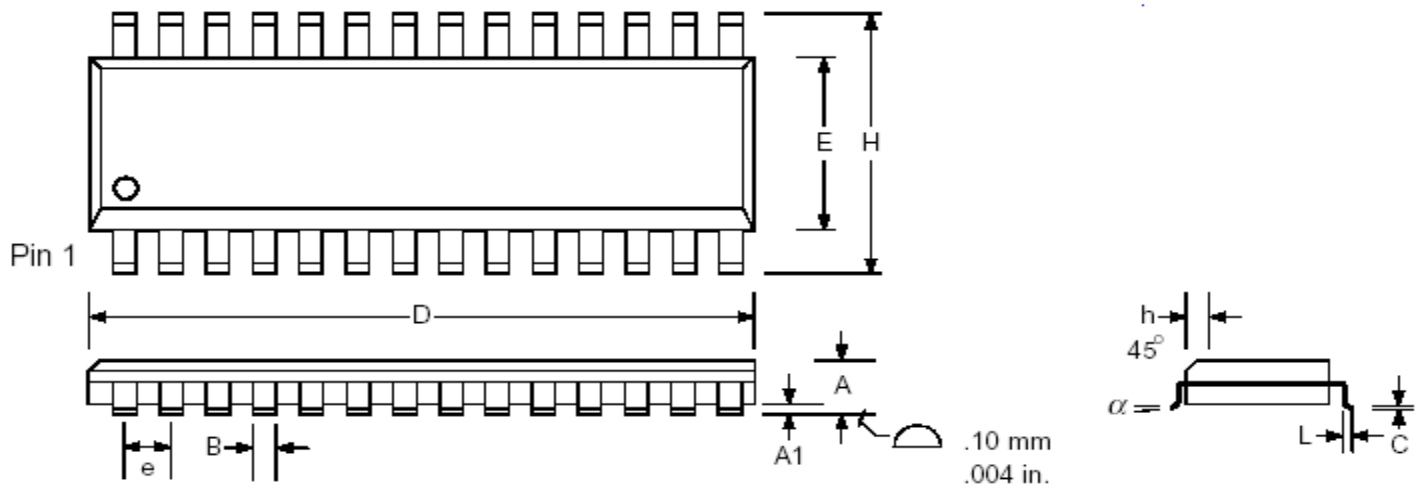


Power Down Sequence



\*  $V_{DD}$  brownout limit. Once the power supply voltage goes below this limit,  $V_{DD}$  must go to  $V_{DD(off)}$ .

28-pin SOIC (JEDEC MS-013 variation AE)



**Selected Dimensions**

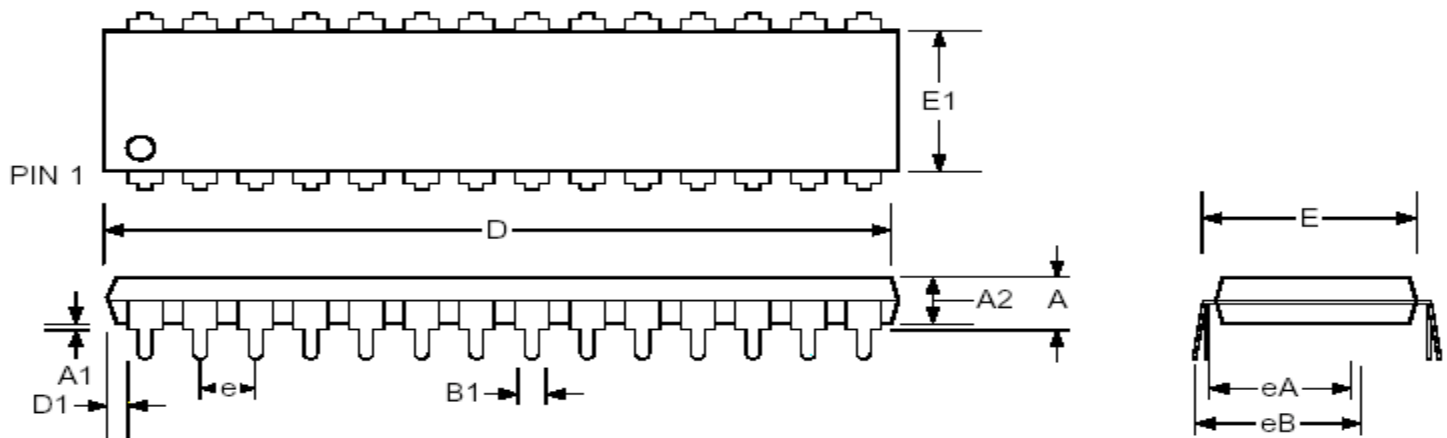
For complete dimensions and notes, refer to JEDEC MS-013

Controlling dimensions in millimeters.

Conversions to inches are not exact.

Symbol	Dim	Min	Nom.	Max
A	mm in.	2.35 0.0926		2.65 0.1043
A1	mm in.	0.10 0.004		0.30 0.0118
B	mm in.	0.33 0.013		0.51 0.020
C	mm in.	0.23 0.0091		0.32 0.0125
D	mm in.	17.70 0.6969		18.10 0.7125
E	mm in.	7.40 0.2914		7.60 0.2992
e	mm in.		1.27 BSC 0.050 BSC	
H	mm in.	10.00 0.394		10.65 0.419
h	mm in.	0.25 0.010		0.75 0.029
L	mm in.	.40 0.016		1.27 0.050
$\alpha$		0°		8°

## 28-pin DIP JEDEC MS-011


**Selected Dimensions**

For complete dimensions and notes, refer to JEDEC MS-011  
 Controlling dimensions in inches.  
 Conversions to millimeters are not exact.

Symbol	Dim	Min	Nom.	Max
A	in. mm			0.250 6.35
A1	in. mm	0.015 0.39		
A2	in. mm	0.125 3.18		0.195 4.95
B	in. mm	0.014 0.356		0.022 0.558
B1	in. mm	0.030 0.77		0.070 1.77
D	in. mm	1.380 35.1		1.565 39.7
D1	in. mm	0.005 0.13		
E	in. mm	0.600 15.24		0.625 15.87
E1	in. mm	0.485 12.32		0.580 14.73
e	in. mm		0.100 BSC 2.54 BSC	
eA	in. mm		0.600 BSC 15.24 BSC	
eB	in. mm			0.700 17.78
L	in. mm	0.115 2.93		0.200 5.08