

PHILIPS 单色 LCD 驱动器 COG 模块设计指南

1. 本应用笔记的作用域

本应用笔记介绍了如何为 LCD 驱动器 IC 的输入侧设计最佳 ITO 布线。除非特别说明，本应用笔记所述设计指南适用于所有 PHILIPS 单色 LCD 驱动器 IC。如果正确遵循所有条款，它们可帮助你成功完成首次模块设计，并保证 LCD 更好的整体显示性能。

2. 适用人群

本应用笔记可供掌管 LCD 模块设计和接口侧 ITO 布线设计的工程师阅读。模块制造者和 OEM（制造商）都可发现该应用笔记的实用性。

声明	我们尽量保证本应用笔记提供最新和准确的信息，但 PHILIPS 半导体公司对于因用户的错误或滥用而造成的时间和/或金钱损失概不负责。
----	--

3. PHILIPS LCD 驱动器 IC COG 模块的 ITO 布线指南

3.1 电源线 V_{SS} 、 V_{DD} 、 V_{LCD} 的设计指南

在 COG 应用中，ITO 走线电阻不可忽略。这在进行 ITO 布线时要尤其注意，应将走线电阻的影响降到允许的范围。

基于 COG 应用的要求，PHILIPS LCD 驱动器 IC 的电源电路在内部分离成 V_{DD1} 、 V_{DD2} 、 V_{DD3} 、 V_{SS1} 和 V_{SS2} 电源通路。这样做是为了方便模块制造者通过单独的 ITO 走线将这些电源电路相连。因此减少和消除了 ITO 走线的公共（共享）部分，进而降低共模电噪声。

同理，LC 驱动电源电路也在内部分离成 V_{LCDIN} 、 V_{LCDOUT} 、 $V_{LCDSENSE}$ 。这些电路共享的 ITO 电源走线部分必须保持在最少。

图 1 和图 2 所示是在 2 种典型配置中的 ITO&玻璃片到 PCB 的连接路线。表 1 中给出了一个典型的小型显示应用（像素大小约为 $0.25 \times 0.25 \text{mm}^2$ ）中电源的最大电阻值。这些电阻的限制值主要取决于显示负载，在特定应用中可以修改。其它走线电阻，尤其是公共（共享）走线和连接电阻，可能影响显示质量、提高功耗和/或错误操作的几率。

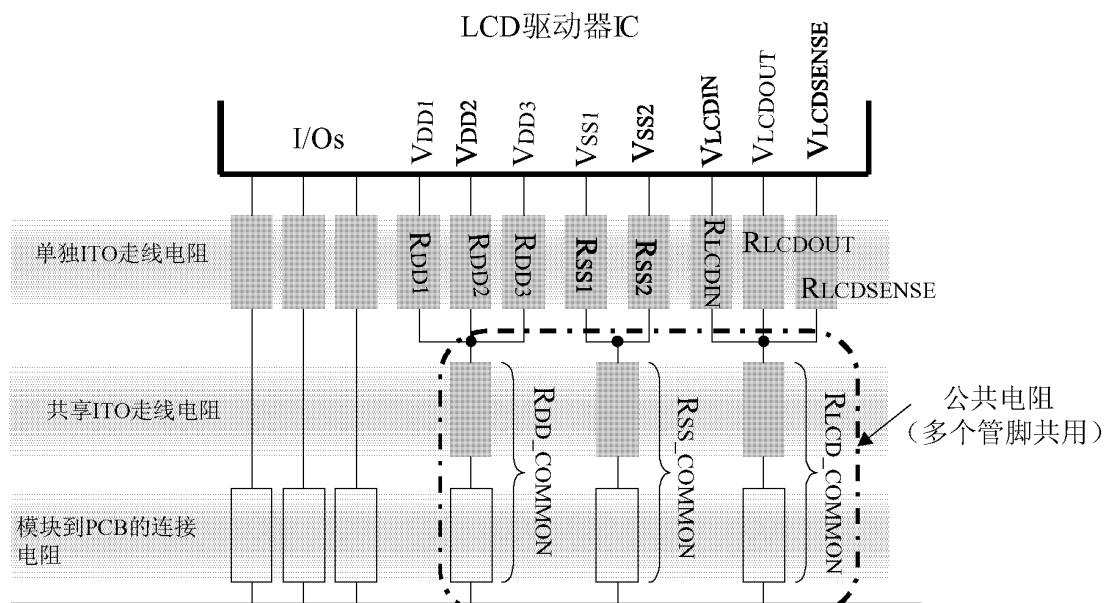


图1 $V_{DD1} = V_{DD2,3}$

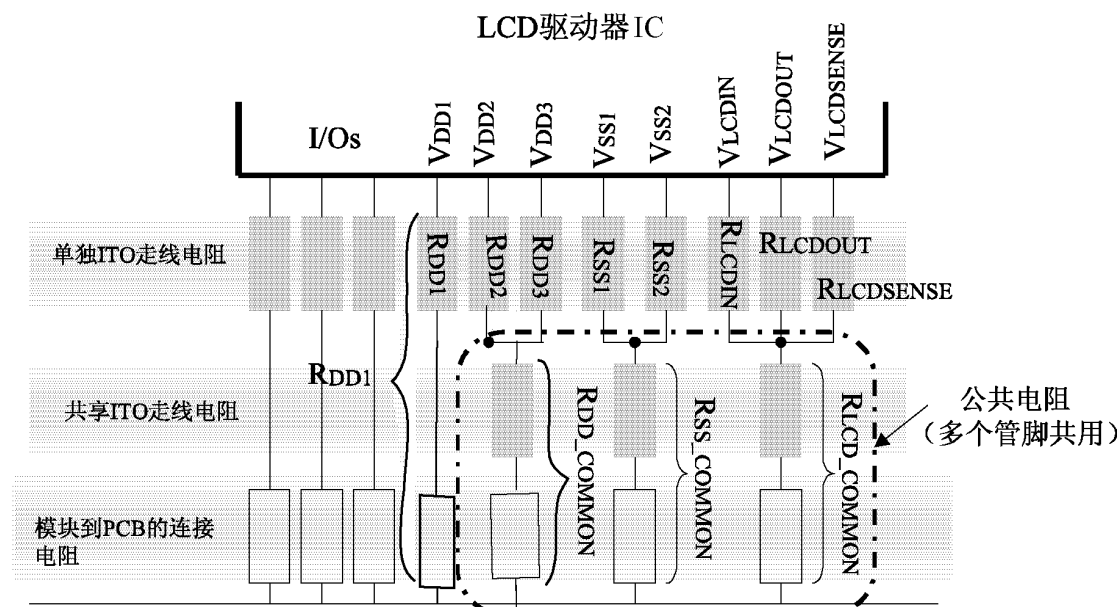


图2 $V_{DD1} \neq V_{DD2,3}$

表1 建议最大 ITO 走线电阻

电阻通路	描述	最大电阻
R_{DD_COMMON}	公共 V_{DD} 走线 (包括连接器)	40*
R_{DD1}	正逻辑电源	500
R_{DD2}	正电源, 供给电流	200
R_{DD3}	正模拟电源	2K
R_{SS_COMMON}	公共 V_{SS} 走线 (包括连接器)	40*
R_{SS1}	负电源 (除去供给电流)	80
R_{SS2}	负电源, 供给电流	200

续上表

电阻通路	描述	最大电阻
R_{LCD_COMMON}	公共 V_{LCD} 走线 (包括连接器)	60*
R_{LCDOUT}	产生输出 V_{LCD}	100
R_{LCDIN}	V_{LCD} 输入到芯片	500
$R_{LCDSENSE}$	V_{LCD} 检测输入	2K

* 注：电源电路的共模电阻是目前为止对显示光学性能影响最大的因素。通过连接 LCD 玻璃片外面的独立 ITO 走线(在 PCB、FPC、金属板上等等)来代替连接玻璃片边沿的连接点的方法可以将该影响最有效地减弱。但是并不实用。

提示：为了使 ITO 走线电阻保持最小，要对模块与外界之间的连接线的斜度和位置进行选择，以便于电源走线可直线到达玻璃片边沿。为了降低公共连接电阻，采样低阻弹性连接、金属管脚连接或 ACF 粘合扁平电缆连接。

图 3 所示为实际应用中电源走线的 ITO 布线。

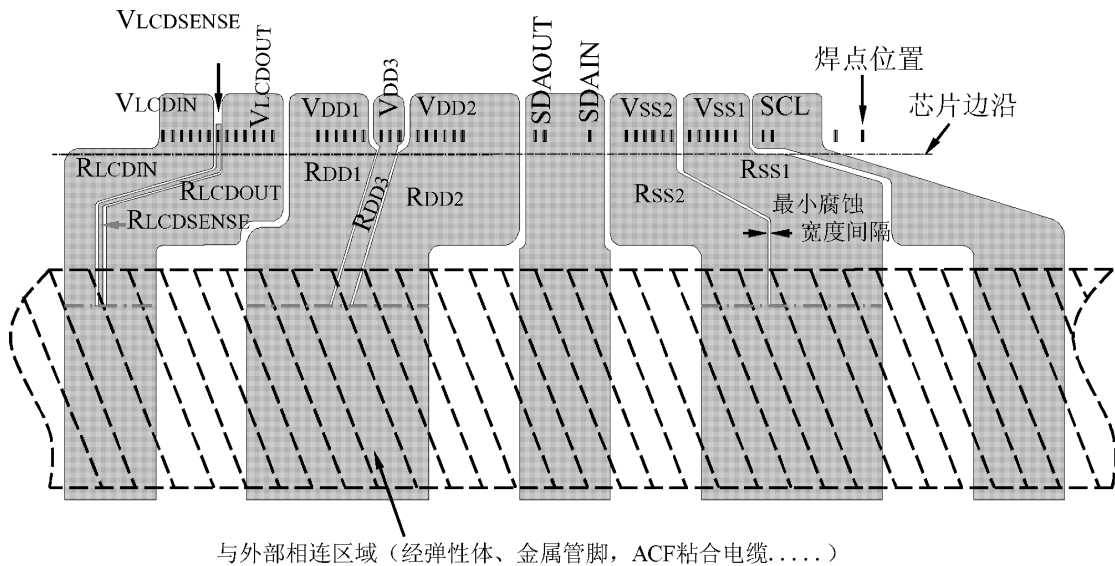


图 3 V_{SS} 、 V_{DD} 、 V_{LCD} 的 ITO 布线实例

3.2 I/O 口线的设计指南

I/O 口线的 AC 特性也受 ITO 走线电阻的影响。ITO 走线电阻和任意的寄生电容一起会产生一些 RC 类型的延时常数，它们不可忽略。建议 COG 模块不要工作在靠近接口时序的界定值附近。尤其要特别注意开漏输出的情况 (见下一节“ I^2C 总线 SDA、SCL 的设计指南”)。

3.3 I^2C 总线 SDA、SCL 的设计指南

I^2C 器件的 SDA 线是开漏输出，因此需要连接一个外部上拉电阻。这样，ITO 走线电阻 R_{ITO} 和上拉电阻 R_{PULL_UP} 一起构成了一个分压器。这就潜藏了一个危机，当 SDA 线被 LCD 驱动器 IC 拉低时， I^2C 总线上的其它器件并不能检测到有效的逻辑低电平，例如，在 ACK 应答周期内或读回 IC 数据时，均可能出现该情况。如图 4 所示。

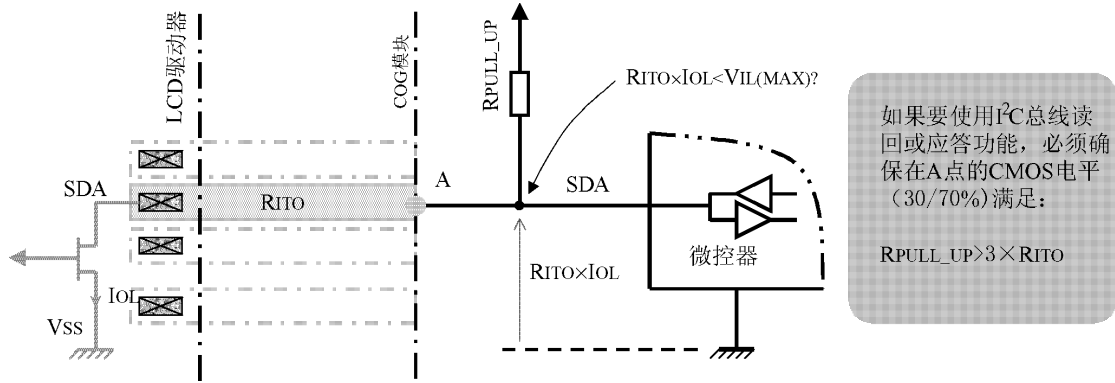


图4 SDA线的ITO电阻影响

因此, LCD 驱动 IC 的 SDA 信号有时分成 SDAIN 和 SDAOUT 两部分。这样就存在多种 LCD 和主机微控制器的连接情况, 以下列出了 3 种:

(1) I²C 协议可在系统中完全实现, 即在每个字节主发送器器件(主机微控制器)能得到 ACK 信号。将玻璃片上 LCD 驱动器的 SDAIN 和 SDAOUT 引脚与同一 ITO 走线相连, 并减少走线和连接电阻。选择合适的上拉电阻, 使之在所有条件和容许范围内都能满足 I²C 总线上其它器件的 V_{IL} 指定值要求。注意 R_{PULL_UP} 的值直接影响着 SDA 信号的上升时间。R_{PULL_UP} 的值不能太大, 否则会使上升时间会超出其最大值限制。在这种情况下, 必须满足 $2C_{SDA} \times R_{PULL_UP} < t_r(max)$, C_{SDA} 表示 SDA 总线电缆的电容, 包括与 I²C 总线相连的所有器件的寄生节点电容, t_{r(max)}是指定的最大上升时间。

上述配置如图 5 所示。

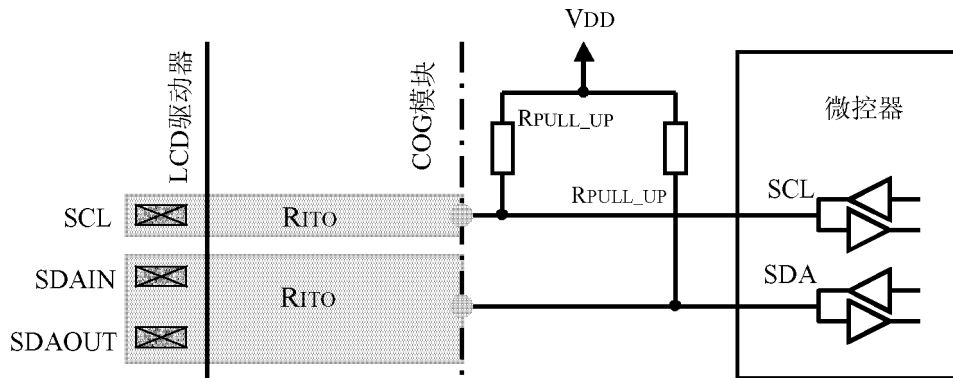


图5 典型配置: 直接与微控制器相连

(2) I²C 协议可在系统中完全实现, 但是可以满足最大逻辑低电平 V_{IL(max)} 要求对应的上拉电阻阻值太大, 不能同时满足最大上升时间 t_r 的要求。这种情况下, 可利用一个外部开漏缓冲器将 SDA 信号进行重新构造, 如图 6 所示。缓冲器可将 SDAOUT 引脚和 I²C 总线电容分离, 使上升时间的要求更容易满足。

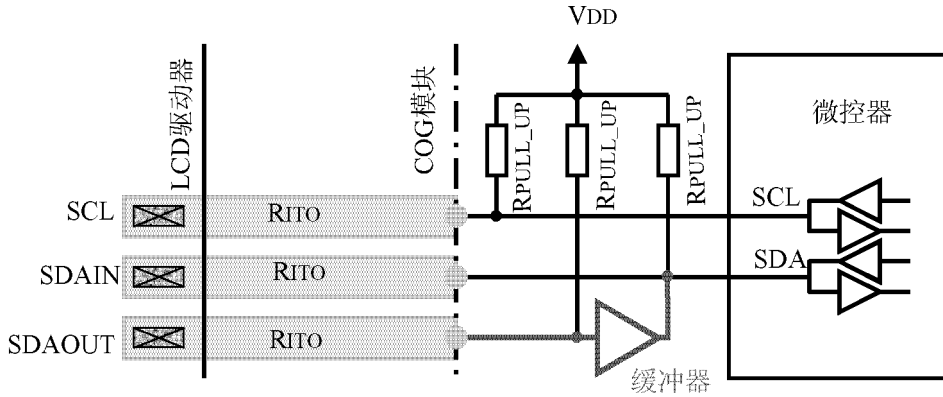


图6 通过一个开漏缓冲器与微控制器相连

(3) I²C 协议可以部分地在系统中实现。它会忽略传输中每个字节后地 ACK 位。这种情况下 SDAOUT 引脚悬空，如图 7 所示。这种配置在某些应用中可能需要，因为它消除了由于流过驱动器 IC 的 V_{SS} 电源端公共电阻的应答电流而造成的共模噪声。注意这时再不能使用 LCD 驱动器 IC 的读回功能。

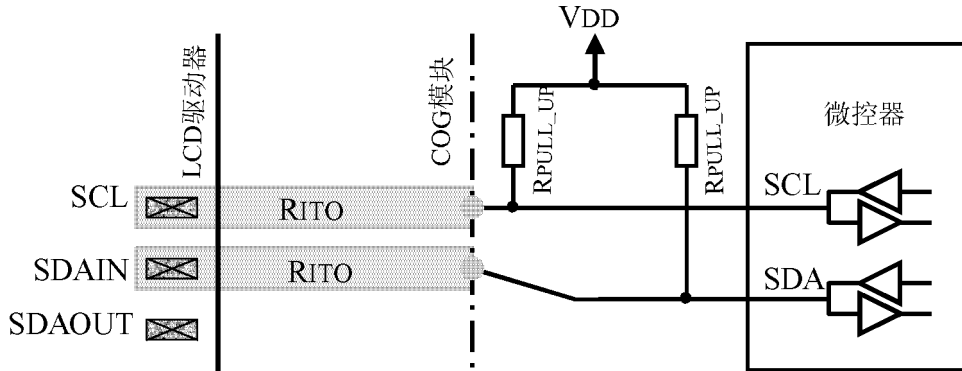


图7 SDAOUT 引脚悬空

3.4 ESD/EMC 保护设计指南

- **虚拟管脚:** 虚拟管脚不能与 ITO 走线相连。连接虚拟管脚会损害 LCD 模块的 ESD 保护，因为这些管脚不含任何 ESD 保护元件。

- **硬件 RESET 管脚:** COG 应用中接口和电源线较 COB、TCP 或 COF 更大。而且从一根 ITO 走线到紧跟其后的另一根 ITO 走线的每根线的电阻也有很大不同。这种电阻的差异大约为 100 欧姆。这样在 EMC 事件中会造成 ITO 走线之间产生很大的差分电压。而 RESET 管脚会将这个 EMI 电压脉冲 (大约 5ns) 当作是一个复位命令。为了防止这种情况，PHILIPS 的大部分 LCD 驱动器 IC 的 RESET 管脚都连接有一个低通滤波器。为了利用寄生管脚电容来构造一个低通滤波器，一些老式的器件需要一个外部 ITO 电阻直接连接到 IC 插槽下面 (如图 8 所示)。这些类型的器件为：PCF2119/F1 (不是 PCF2119/F2)，PCF8548/F1&PCF8548/3，PCF8531/F1，PCF8801，OM6206 (不是 OM6206/2)。

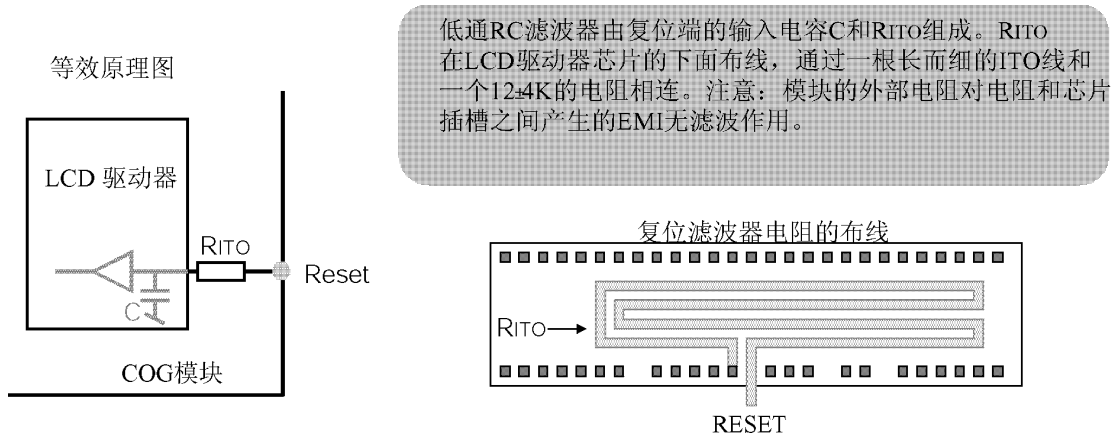


图 8 EMC 低通滤波器 ITO 弯曲电阻的实现

- **V_{SS}、V_{DD} 电源走线：**为了更进一步加强 EMC，建议尽可能地减少 ITO 走线电阻和电源连接—V_{DD1}, V_{DD2}, V_{DD3}, V_{SS1}, V_{SS2}。
- **不用管脚—如何连接：**在应用中不用的管脚（如测试管脚、不同的接口管脚等）应当与 V_{DD1} 或 V_{SS1} 相连（tied off）。不用的管脚必须与 V_{DD1} 或 V_{SS1} 尽可能直接相连。有时提供了一些被称为 tie-off 的管脚专门用于不用管脚的连接（称为 V_{XX1} TIEOFF 或类似称呼）。如果没有 tie-off 管脚，不用管脚就直接与 V_{DD1} 或 V_{SS1} 相连，如图 9 所示。

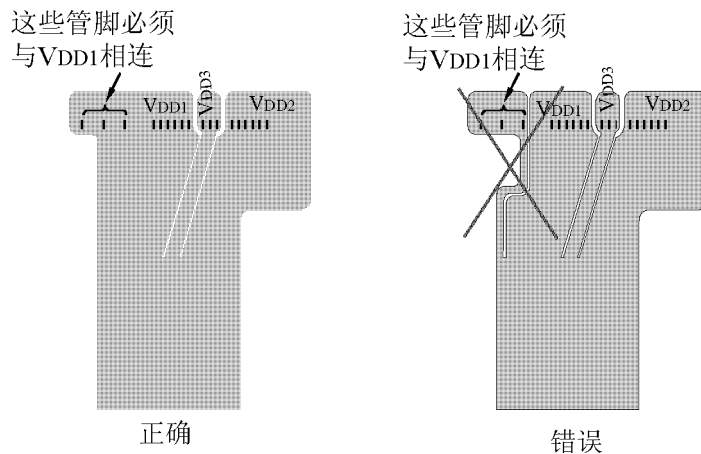


图 9 不用管脚的连接