



# 集成电力线数字收发器

MAX2986

## 概述

MAX2986电力线收发器采用最先进的CMOS设计技术，提供更高的性能和灵活性。这款高度集成的芯片内包含了媒体访问控制层 (MAC) 和物理层 (PHY)。MAX2986数字基带与配套器件MAX2980\*模拟前端 (AFE) 一起，可提供完整的高速电力线通信解决方案，完全兼容第三方HomePlug® 1.0设备。

MAX2986数字收发器采用Maxim先进的OFDM电力线引擎，提供高达14Mbps的自适应数据传送速率。MAX2986的开放架构提供广泛的可编程性、功能扩展能力、改善的MAC可测试性，便于性能的最优化处理。因此，该器件非常适合以下应用：局域网 (LAN)、音频、语音、家庭自动化、工业自动化以及电力线宽带 (BPL)，同时具有频谱成形和陷波功能，提供无与伦比的灵活性以适应不同地区的法规。Maxim改进的OFDM技术允许对发送信号的功率谱密度任意整形，以适应任何期望的副载波设置，并将频谱零点安排在任何不希望有干扰的频点。通道自适应和干扰抑制功能保证了MAX2986的出色性能。器件可提供带有密钥管理的56位DES加密保护来确保通信的私密性。

MAX2986支持IEEE 802.03标准媒体无关接口 (MII)、简化的媒体无关接口 (rMII)、缓冲FIFO数据通信、IEEE 802.03兼容的10/100以太网MAC以及USB 1.1接口。通过这些接口，MAX2986几乎可与所有数据通信器件配套，并应用于各色信息设备中。

## 应用

电力线宽带应用	工业自动化
局域网 (LAN)	(远程监控)
电力线多媒体应用	家庭自动化
电力线话音应用	安全系统

## 特性

- ◆ 单片电力线网络收发器
- ◆ 高达14Mbps数据传送速度
- ◆ 频带：4.49MHz至20.7MHz
- ◆ 可升级/可编程MAC
  - 可控制带宽和陷波的频谱整形技术
  - 可编程前导符
  - 允许访问应用协议接口 (API)
  - 128kB内部SRAM
- ◆ JTAG接口
- ◆ 大容量网桥表：多达512个地址
- ◆ 带有密钥管理的56位DES加密电路，实现安全通信
- ◆ 先进的窄带干扰抑制电路
- ◆ 基于OFDM的PHY
  - 84载波
  - 通道自适应
  - FEC (前向纠错)
  - DQPSK, DBPSK, ROBO
- ◆ 片内集成接口
  - 10/100以太网
  - USB 1.1
  - MII/rMII/FIFO
- ◆ 兼容于HomePlug 1.0标准

## 订购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX2986CXV	0°C to +70°C	144 CSBGA

\* 未来产品—供货信息请与厂商联系。

HomePlug是HomePlug Powerline Alliance, Inc.的注册商标。

引脚配置和典型应用电路在本数据手册最后给出。



Maxim Integrated Products 1

本文是Maxim正式英文资料的译文，Maxim不对翻译中存在的差异或由此产生的错误负责。请注意译文中可能存在文字组织或翻译错误，如需确认任何词语的准确性，请参考Maxim提供的英文版资料。


索取免费样品和最新版的数据资料，请访问Maxim的主页：[www.maxim-ic.com.cn](http://www.maxim-ic.com.cn)。

# 集成电力线数字收发器

MAX2986

## ABSOLUTE MAXIMUM RATINGS

V <sub>DD33</sub> to DGND .....	-0.5V to +4.6V	Continuous Power Dissipation (T <sub>A</sub> = +70°C)	
V <sub>DD18</sub> to DGND, DV <sub>DD</sub> to DV <sub>SS</sub> .....	-0.5V to +2.5V	144-Bump CSBGA (derate 25.6mW/°C at +70°C) .....	2045mW
AV <sub>DD</sub> to AV <sub>SS</sub> .....	-0.5V to +2.5V	Operating Temperature Range .....	0°C to +70°C
All Other Input Pins .....	-0.5V to +6V	Junction Temperature .....	+150°C
All Other Output Pins .....	-0.5V to +4.6V	Storage Temperature Range .....	-65°C to +150°C

 **CAUTION!** ESD SENSITIVE DEVICE

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

## ELECTRICAL CHARACTERISTICS

(V<sub>DD33</sub> = +3.3V, V<sub>DD18</sub> = DV<sub>DD</sub> = AV<sub>DD</sub> = +1.8V, AV<sub>SS</sub> = DV<sub>SS</sub> = DGND = 0, T<sub>A</sub> = 0°C to +70°C, unless otherwise noted. Typical values are at T<sub>A</sub> = +25°C.)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
<b>POWER-SUPPLY CHARACTERISTICS</b>						
Digital-Supply Voltage Range	V <sub>DD33</sub>	Guaranteed by PSRR	3.0	3.3	3.6	V
Core-Supply Voltage Range	V <sub>DD18</sub>		1.62	1.8	1.98	V
Digital I/O Supply Current	I <sub>DD33</sub>			41		mA
Core Supply Current	I <sub>DD18</sub>			426		mA
PLL Supply Current	I <sub>PLL</sub>			8		mA
Output-Voltage High	V <sub>OH</sub>		2.3			V
Output-Voltage Low	V <sub>OL</sub>				0.5	V
<b>LOGIC INPUT CHARACTERISTICS</b>						
Input High Voltage	V <sub>IH</sub>		2.0		5.5	V
Input Low Voltage	V <sub>IL</sub>		-0.3		+0.8	V
Input Leakage Current	I <sub>LEAK</sub>		-80		+80	μA
Output High Current	I <sub>OH</sub>	UARTTXD, AFEFRZ, AFEPDRX, AFEREN, AFERESET, AFETXEN, ETHMDC, ETHTXD[0], ETHTXD[1], ETHTXD[2], ETHTXD[3], ETHTXEN, ETHTXER, JRTCK, MIICRS, MIIRXDV, MIIRXER			4	mA
		AFECLK			16	
		JTDO (tri-state port)			4	
Output Low Current	I <sub>OL</sub>	UARTTXD, AFEFRZ, AFEPDRX, AFEREN, AFERESET, AFETXEN, ETHMDC, ETHTXD[0], ETHTXD[1], ETHTXD[2], ETHTXD[3], ETHTXEN, ETHTXER, JRTCK, MIICRS, MIIRXDV, MIIRXER			4	mA
		AFECLK			16	
		JTDO (tri-state port)			4	

# 集成电力线数字收发器

引脚说明

MAX2986

引脚	名称	功能
A1, L2	DVDD	1.8V PLL 数字电源，尽可能靠近引脚接一个100nF的旁路电容到DVSS。
A2, L3	DVSS	PLL地
A3, M1	AVDD	1.8V PLL 模拟电源，尽可能靠近引脚接一个100nF的旁路电容到AVSS。
A4	GPIO[2]	通用输入/输出2。在引导期间GPIO[2]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[2]。MAX2986软件用GPIO[2]来控制外部USB电路。
A5	GPIO[22]	通用输入/输出22。在引导期间GPIO[22]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[22]。MAX2986 MAC利用GPIO[22]驱动AFE接口的链路状态LED (输出)，它还是引导管脚位1 (输入)。
A6, C1, C13, F12, J1, L1, L4, L10, M13	VDD33	3.3V 数字电源。尽可能靠近引脚接一个100nF的旁路电容到DGND。
A7	GPIO[17]	通用输入/输出17。在引导期间GPIO[17]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[17]。
A8	GPIO[14]	通用输入/输出14。在引导期间GPIO[14]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[14]。
A9	GPIO[11]	通用输入/输出11。在引导期间GPIO[11]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[11]。MAX2986 MAC用GPIO[11]作为处理器ID，位0 (输入)。
A10	GPIO[9]	通用输入/输出9。在引导期间GPIO[9]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[9]。MAX2986 MAC用GPIO[9]作为非易失存储器接口的串行数据线。
A11	GPIO[7]	通用输入/输出7。在引导期间GPIO[7]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[7]。MAX2986 MAC用GPIO[7]作为AFE接口的掉电信号。
A12	GPIO[5]	通用输入/输出5。在引导期间GPIO[5]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[5]。MAX2986 MAC用GPIO[5]作为AFE接口的串行数据信号。
A13	GPIO[4]	通用输入/输出4。在引导期间GPIO[4]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[4]。MAX2986 MAC用GPIO[4]作为AFE接口的串行时钟信号 (输出) 和上层接口位0 (输入)。
B1, C2, D4–D9, E3, E11, E12, E13, F4, F13, K5, K6, K8, K9, M10, M11, N1, N6	DGND	数字地
B2, M2	AVSS	模拟PLL地
B3	GPIO[0]	通用输入/输出0。在引导期间GPIO[0]处于三态。如果不使用，连接一个100kΩ上拉或下拉电阻到GPIO[0]。

# 集成电力线数字收发器

MAX2986

引脚说明 (续)

引脚	名称	功能
B4	GPIO[3]	通用输入/输出3。在引导期间GPIO[3]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[3]。
B5	USBD+	USB接口数据信号 (+)
B6	GPIO[21]	通用输入/输出21。在引导期间GPIO[21]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[21]。MAX2986 MAC用GPIO[21]驱动AFE接口的冲突指示LED, 同时也是引导引脚位0 (输入)。
B7	GPIO[18]	通用输入/输出18。在引导期间GPIO[18]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[18]。
B8	GPIO[15]	通用输入/输出15。在引导期间GPIO[15]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[15]。
B9	GPIO[12]	通用输入/输出12。在引导期间GPIO[12]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[12]。MAX2986 MAC用GPIO[12]作为处理器ID, 位1 (输入)。
B10	GPIO[10]	通用输入/输出10。在引导期间GPIO[10]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[10]。MAX2986 MAC用GPIO[10]作为非易失存储器片选信号 (输出) 和非易失存储器类型标志, 位1 (输入)。
B11	GPIO[8]	通用输入/输出8。在引导期间GPIO[8]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[8]。MAX2986 MAC用GPIO[8]作为非易失存储器串行时钟信号 (输出) 和非易失存储器类型标志, 位0 (输入)。
B12	GPIO[6]	通用输入/输出6。在引导期间GPIO[6]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[6]。MAX2986 MAC用GPIO[6]作为AFE接口的串行写信号 (输出) 和上层接口位1 (输入)。
B13, D1, D11, D12, D13, E1, K4, M12	N.C.	无连接。必须悬空。
C3	GPIO[1]	通用输入/输出1。在引导期间GPIO[1]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[1]。
C4	GPIO[23]	通用输入/输出23。在引导期间GPIO[23]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[23]。MAX2986 MAC用GPIO[23]驱动AFE接口链路状态LED (输出) 和引导引脚位2 (输入)。
C5	USBD-	USB接口数据信号 (-)
C6	GPIO[20]	通用输入/输出20。在引导期间GPIO[20]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[20]。
C7	GPIO[19]	通用输入/输出19。在引导期间GPIO[19]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[19]。
C8	GPIO[16]	通用输入/输出16。在引导期间GPIO[16]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[16]。
C9	GPIO[13]	通用输入/输出13。在引导期间GPIO[13]处于三态。如果不使用, 连接一个100kΩ上拉或下拉电阻到GPIO[13]。MAX2986 MAC用GPIO[13]作为处理器ID, 位2 (输入)。

# 集成电力线数字收发器

引脚说明 (续)

MAX2986

引脚	名称	功能
C10, D10, E10, F10, G10, J10, K10	VDD18	+1.8V 数字电源。在尽可能靠近引脚处接一个100nF的旁路电容到DGND。
C11	JTMS	JTAG测试模式选择。
C12	JTDI	JTAG测试数据输入。
D2	$\overline{\text{USBRESET}}$	低有效USB复位信号。连接到RESET。
D3	$\overline{\text{RESET}}$	异步，低有效复位输入。
E2	JRTCK	JTAG返回测试时钟。
E4	AFEFRZ	模拟前端载波侦测指示。
F1	AFETXEN	模拟前端发送器使能输出。
F2	XIN	晶体输入 (30MHz)。
F3	XOUT	晶体输出。
F11	MIITXEN	MII发送使能。
G1	AFERESET	AFE复位。
G2	AFEDAD[0]	模拟前端DAC/ADC输入/输出0接口。
G3	AFEDAD[1]	模拟前端DAC/ADC输入/输出1接口。
G4	AFEDAD[2]	模拟前端DAC/ADC输入/输出2接口。
G11	JTDO	JTAG测试数据输出。
G12	$\overline{\text{JTRST}}$	低有效JTAG测试复位。
G13	JTCK	JTAG测试时钟。
H1	AFEDAD[3]	模拟前端DAC/ADC输入/输出3接口。
H2	AFEDAD[4]	模拟前端DAC/ADC输入/输出4接口。
H3	AFEDAD[5]	模拟前端DAC/ADC输入/输出5接口。
H4	AFEDAD[6]	模拟前端DAC/ADC输入/输出6接口。
H10	MIIRXDV	MII接收数据有效。
H11	$\overline{\text{BUFRD}}$	低有效FIFO读使能。
H12	$\overline{\text{BUFCS}}$	低有效FIFO片选。
H13	$\overline{\text{BUFWR}}$	低有效FIFO写使能。
J2	AFEDAD[7]	模拟前端DAC/ADC输入/输出7接口。
J3	AFEDAD[8]	模拟前端DAC/ADC输入/输出8接口。
J4	AFEDAD[9]	模拟前端DAC/ADC输入/输出9接口。
J11	MIIMDC	MII管理数据时钟。
J12	MIIDAT[7]	MII/FIFO发送/接收数据[7]。
J13	MIIDAT[5]	MII/FIFO发送/接收数据[5]。
K1	AFECLK	50MHz AFE时钟。
K2	AFEREN	模拟前端读使能输出。
K3	AFEPDRX	AFE接收器掉电。
K7	UARTTXD	UART发送。
K11	MIICRS	MII载波检测。
K12	MIIDAT[6]	MII/FIFO发送/接收数据[6]。

# 集成电力线数字收发器

MAX2986

引脚说明 (续)

引脚	名称	功能
K13	MIIMDIO	MII管理数据。
L5	ETHRXD[1]	以太网MII接收数据位1。
L6	UARTRXD	UART接收。
L7	ETHTXD[3]	以太网MII发送数据位3。
L8	ETHTXD[2]	以太网MII发送数据位2。
L9	ETHTXCLK	以太网MII发送时钟。
L11	MIIRXER	MII接收错误指示。
L12	MIIDAT[4]	MII/FIFO发送/接收数据[4]。
L13	MIIDAT[0]	MII/FIFO发送/接收数据[0]。
M3	ETHMDC	以太网管理数据接口时钟。
M4	ETHRXCLK	以太网MII接收时钟。
M5	ETHRXD[2]	以太网MII接收数据位2。
M6	ETHRXD[0]	以太网MII接收数据位0。
M7	ETHRXDV	以太网MII接收数据有效。
M8	ETHTXD[0]	以太网MII发送数据位0。
M9	ETHTXEN	以太网MII发送使能。
N2	ETHCOL	以太网MII冲突。
N3	ETHCRS	以太网MII载波检测。
N4	ETHMDIO	以太网管理数据输入/输出。
N5	ETHRXD[3]	以太网MII接收数据位3。
N7	ETHRXER	以太网MII接收错误。
N8	ETHTXD[1]	以太网MII发送数据位1。
N9	ETHTXER	以太网MII发送错误。
N10	MIICLK	MII时钟。
N11	MIIDAT[3]	MII/FIFO发送/接收数据[3]。
N12	MIIDAT[2]	MII/FIFO发送/接收数据[2]。
N13	MIIDAT[1]	MII/FIFO发送/接收数据[1]。

# 集成电力线数字收发器

MAX2986

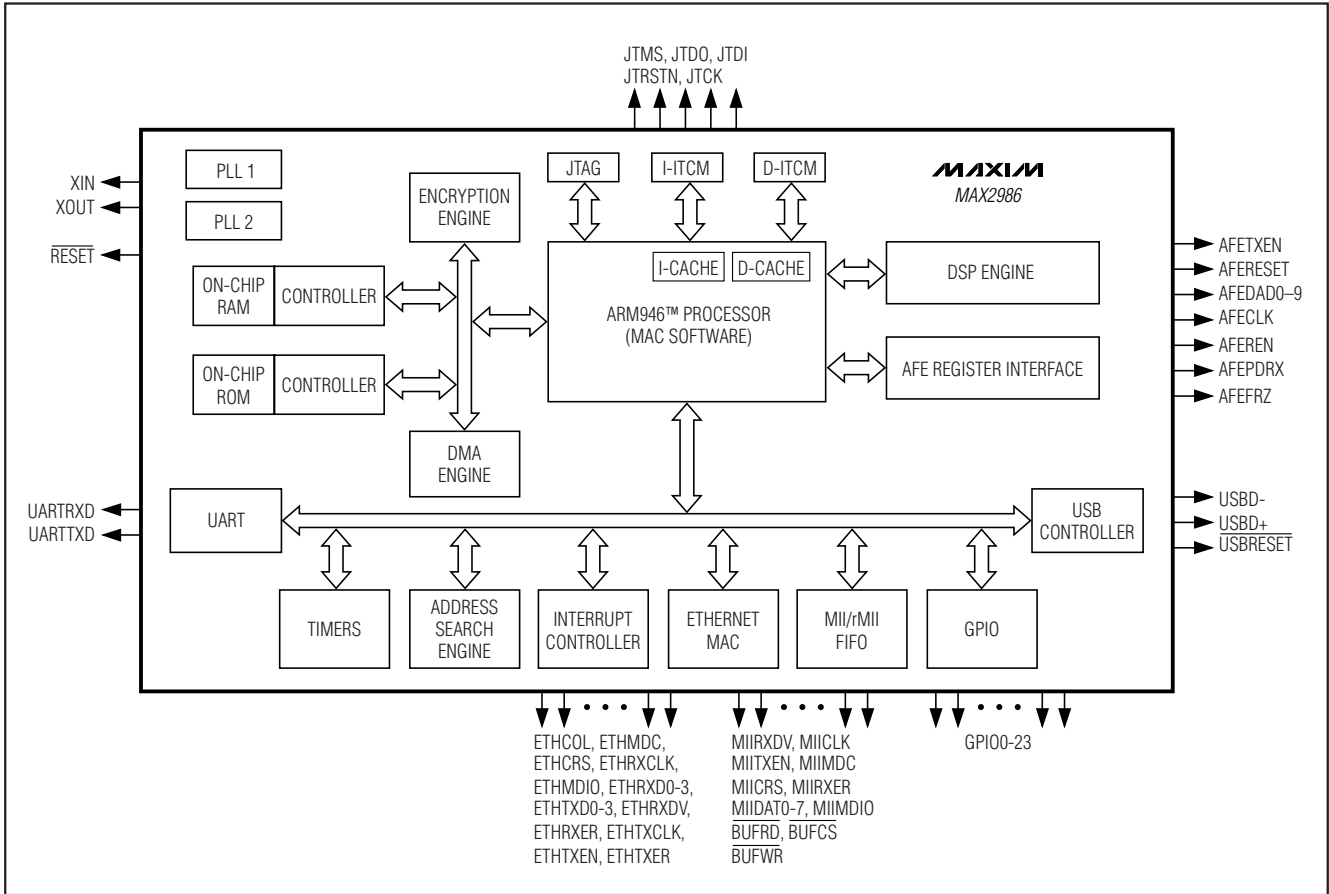


图1. MAX2986功能示意图

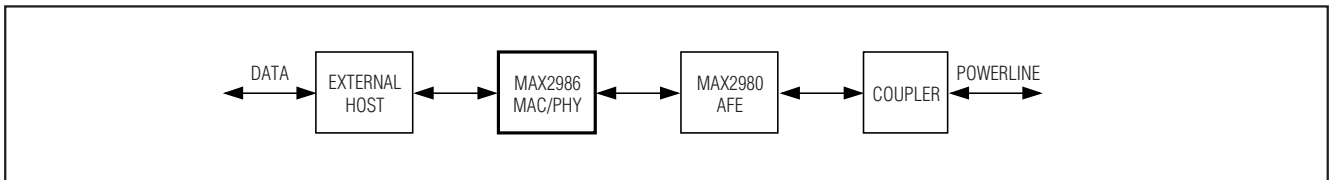


图2. 电力线芯片组系统框图

## 详细说明

MAX2986电力线收发器采用最先进的CMOS设计技术，提供更高的性能并降低了成本。这款高度集成的芯片内包含了媒体访问控制层(MAC)和物理层(PHY)。MAX2986数字基带与配套器件MAX2980模拟前端(AFE)一起，构成了一个完整的HomePlug兼容方案，大幅度降低了系统成本。

ARM946是ARM Ltd.的商标。

## MII/rMII/FIFO接口

MII/rMII/FIFO单元是MAX2986收发器的接口层。这一层用来连接其它MII、rMII或FIFO接口的IEEE 802.3标准设备。该接口是一个用来传送数据包的数据通道，由载波侦测(MIICRS)信号进行流控。这个信号控制着外部主机和MAC间的半双工传输。当正在接收一帧数据时(MIICRS和MIIRXDV为高电平)，外部主机必须等待接收完成并且MIICRS撤销后才能开始传送。当发送连续两帧数据时，



# 集成电力线数字收发器

外部主机需要等待的最短时间是单帧传递时间加上帧间间隙。

注：有关信号定时特性和电气特性等方面的信息，请参考IEEE 802.3u。

注：因为电力线网络器件能监测和管理所有的传送故障，MII信号MIICOL和MIITXER不被使用。MIITXCLK和MIIRXCLK信号有同样的源，在这篇文档中统称为MIICLK。

在MII模式，数据与一个2.5MHz/25MHz的时钟同步传送。在MII上数据以半字节格式传送，所以数据的传送速率是10Mbps/100Mbps。

在rMII模式，数据与一个5MHz/50MHz的时钟同步传送。在rMII上数据是以2位格式传送的，所以数据的传送速率是10Mbps/100Mbps。

在FIFO模式下，数据以字节格式传送，在 $\overline{\text{BUFRD}}$ 和 $\overline{\text{BUFWR}}$ 的正沿进行读和写。这种模式唯一的局限是 $\overline{\text{BUFRD}}$ 和 $\overline{\text{BUFWR}}$ 必须保持低电平至少3个MIICLK脉冲，方可被认作有效信号。

根据表1所示的设置来选择上层接口。

## MII接口信号

表2列出了MAX2986在MII模式下的输入/输出数据、状态和控制信号。

表1. 上层接口选择引脚的设置

INTERFACE	GPIO[3]	GPIO[6]	GPIO[4]
MII	0	0	1
rMII	0	1	0
FIFO	0	1	1

表2. MII信号说明

NAME	LINES	I/O	DESCRIPTION
MIIDAT [3:0]	4	I	<b>Transmit Data.</b> Data are transferred to the MAX2986 from the external MAC across these four lines, one nibble at a time, synchronous to MIICLK.
MIITXEN	1	I	<b>Transmit Enable.</b> Provides the framing for the Ethernet packet from the Ethernet MAC. This signal indicates to the MAX2986 that valid data is present on MIIDAT[3:0] and must be sampled using MIICLK.
MIICRS	1	O	<b>Carrier Sense.</b> Logic-high indicates to the external host that traffic is present on the powerline and the host must wait until the signal goes invalid before sending additional data. When a packet is being transmitted, MIICRS is held high.
MIIDAT [7:4]	4	O	<b>Receive Data.</b> Data are transferred from the MAX2986 to the external MAC across these four lines, one nibble at a time, synchronous to MIICLK. The MAX2986 properly formats the frame so the Ethernet MAC is presented with the expected preamble plus the start frame delimiter (SFD).
MIIRXDV	1	O	<b>Receive Data Valid.</b> Logic-high indicates that the incoming data on the MIIDAT pins are valid.
MIIRXER	1	O	<b>Receive Error.</b> Logic-high indicates to the external MAC that the MAX2986 detected a decoding error in the receive stream.
MIICLK	1	I	<b>Reference Clock.</b> A 2.5MHz (25MHz) clock in 10Mbps (100Mbps) as reference clock.
<b>MANAGEMENT DATA UNIT</b>			
MIIMDC	1	I	<b>Management Data Clock.</b> A 2.5MHz noncontinuous clock reference for the MIIMDIO signal.
MIIMDIO	1	I/O	<b>Management Data Input/Output.</b> A bidirectional signal that carries the data for the management data interface.



# 集成电力线数字收发器

MAX2986

## MII MAC和PHY的连接

图3给出了在MII模式下MAC和PHY的连接。虽然TX和RX数据通路是全双工的，但MII接口工作在半双工状态。MIIRXDV不会和MIITXEN同时有效。

发送时，MAX2986在MIITXEN有效后一定时间内发出MIICRS，在MIITXEN撤销后且MAX2986准备好接收其它数据包时撤销MIICRS。当MIICRS降低后，以太网MAC等待一个帧间隙 (IFG) (典型值为0.96 $\mu$ s)，如果有其它数据包要发送则再次发出MIITXEN。这不同于一般的MIICRS工作方式，通常的MIICRS会延长到数据包之后一个随机的时间，而MAX2986则可立即访问通道并发送数据包。

MAC在10Mbps模式下不使用超时功能，所以对MIICRS的延续时间没有限制 (除了MAX2986自身设定的延时)。

传递一开始，发送信号立即被调制到线上，因为MII填充MACX2986缓冲器的速度要快于调制器处理数据的速度。当一个包到达MAX2986时，它会尝试获得通道的访问权。而这又不能发生在整个包通过MII接口传递完成之前，所以MAX2986需缓冲至少一个以太包，以实现速度适配。

在接收时，当MAX2986预见到将有一个包被解调出来时，它将置MIICRS为高电平以占用半双工的MII通道，等待一个很短的时间 (IFG)，也许还会延期到MIITXEN (可能刚发出) 后再加上一个IFG之后，然后置MIIRXDV为高电平来传递这个包。在传递结束时，它将拉低MIICRS，除非发送缓冲器还是满的，或有其它收到的包需要传递。图4举例说明了这个过程，其中，在一次接收传递之后又发生了第二次，第二次传递被延迟到MIITXEN之后。数据接收要比发送具有更高的优先权，以确保清缓冲的速度快于从线上下包的速度。接收器需要等待的最长时间是传递一个Tx帧所需时间加上一个IFG，或近似为134 $\mu$ s。然而，最小尺寸的帧到达的峰值速率是每65 $\mu$ s一帧，所以接收侧缓冲器必须能够容纳多帧 (但仅略大于一个以太包的数据量)。

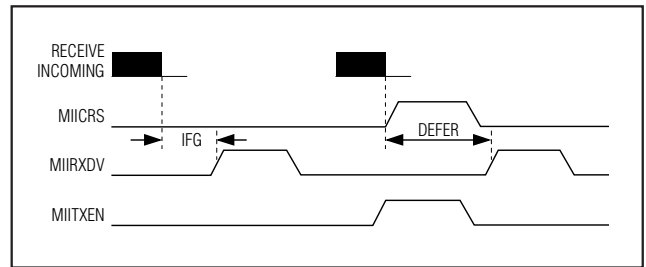


图4. MII模式下的接收延迟

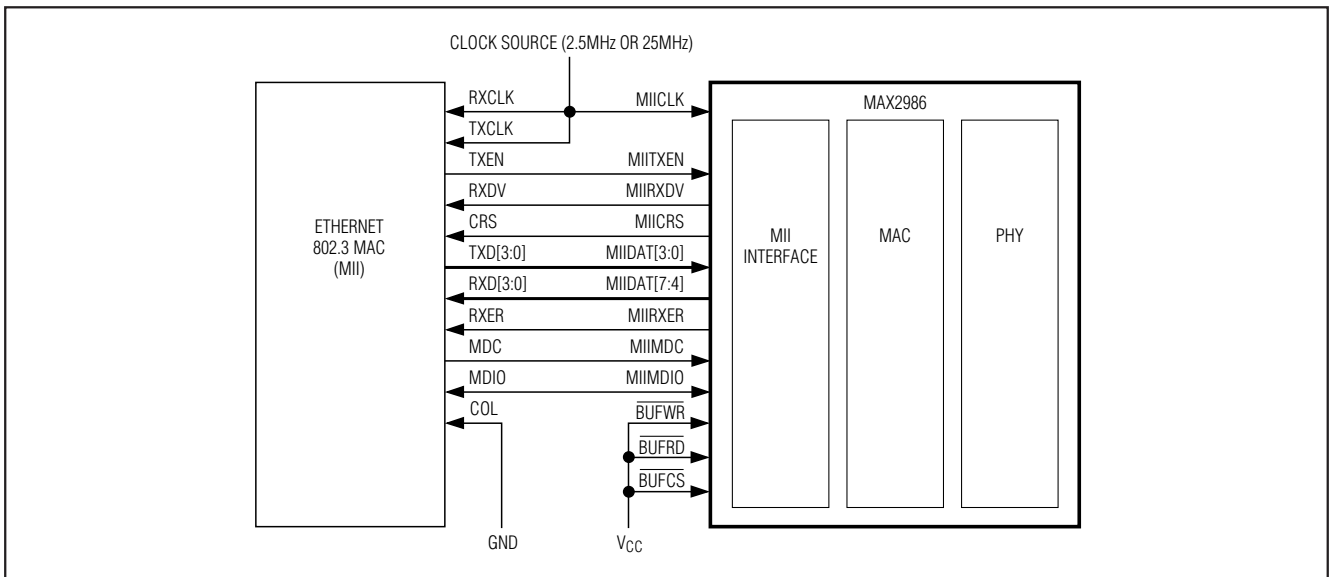


图3. MAC和PHY在MII模式下的连接

# 集成电力线数字收发器

## MII信号定时—发送

当外部主机准备发送一帧数据，并且MIICRS不是高电平（前次发送已完成），外部主机发出MIITXEN，同时数据出现在MIIDAT[3:0]上。作为响应，MAX2986发出MIICRS。

外部主机保持MIITXEN为高电平时，数据通过MIIDAT，同步于MIICLK被采样输入MAX2986。

在最后一个数据字节被发送之后，下一个MIICLK正沿到来之前，MIITXEN被外部主机复位。

MII接口的发送定时如图5所示，细节示于图6和表3。

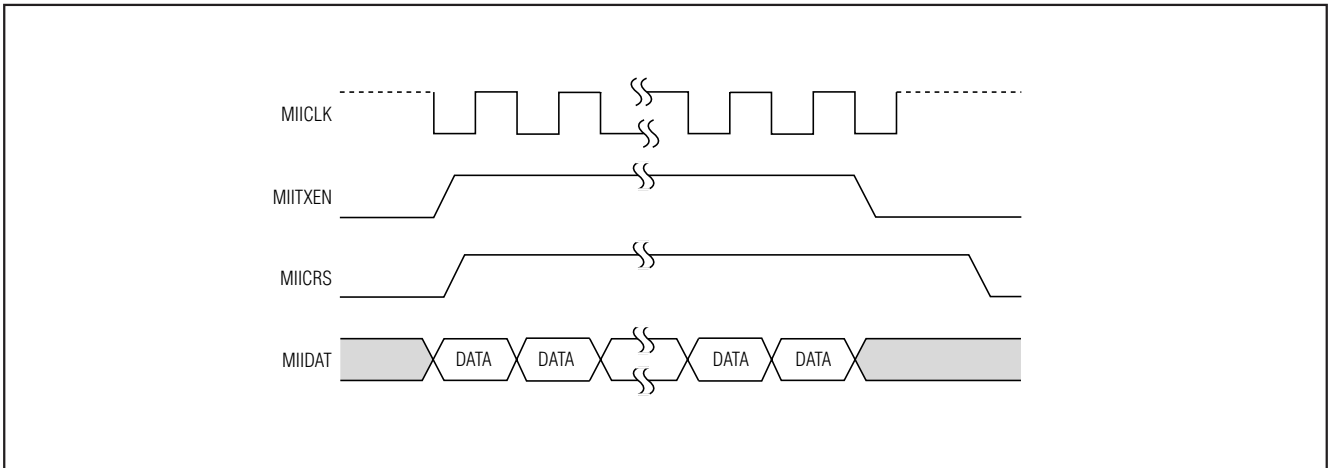


图5. MII接口的发送过程

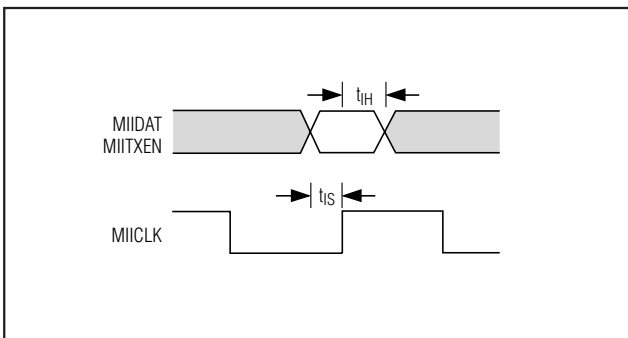


图6. MII接口——发送定时细节

表3. MII接口——发送定时细节\*

PARAMETER	DESCRIPTION	MIN	UNITS
$t_{IS}$	Setup prior to positive edge of MIICLK	2.5	ns
$t_{IH}$	Hold after positive edge of MIICLK	2.5	ns

\* 遵从IEEE 802.3u标准

## 集成电力线数字收发器

### MII信号定时—接收

当MAX2986准备发送一帧数据给外部主机时,如果没有正在进行的发送会话,等待一个IFG之后(相对于MICRS,约 $0.96\mu\text{s}$ ),MAX2986发出MIIRDV信号。

**注意:** 正在发送时不能启动接收进程。

MAX2986保持MIIRDV为高电平时,通过MIIDAT,来自MAX2986的数据被采样(相对于MIICLK同步)。在最后一个数据字节被接收后,MAX2986复位MIIRDV。

MII接口的接收定时如图7所示,细节示于图8和表4。

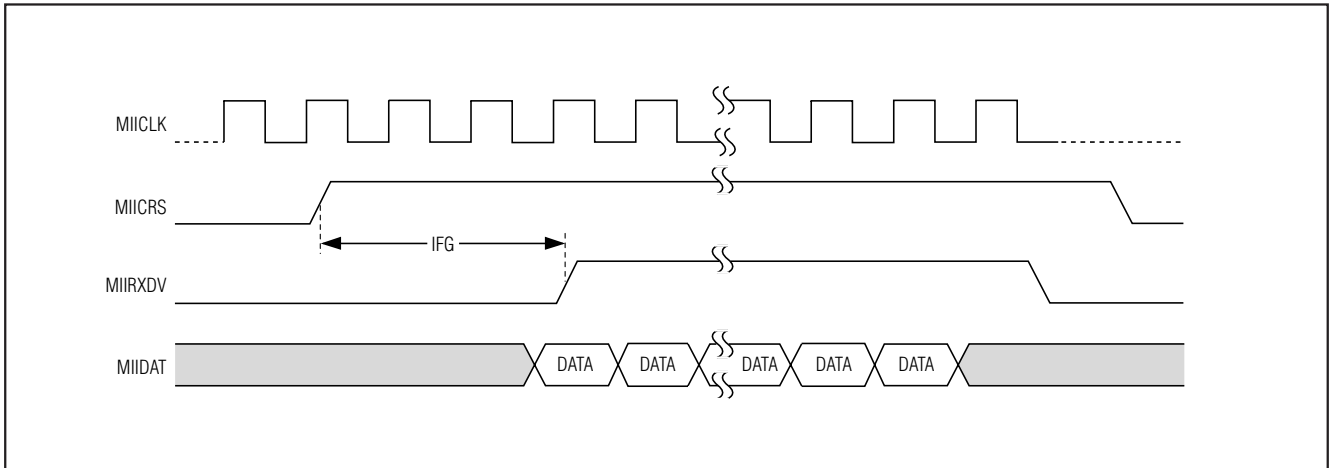


图7. MII接口的接收过程

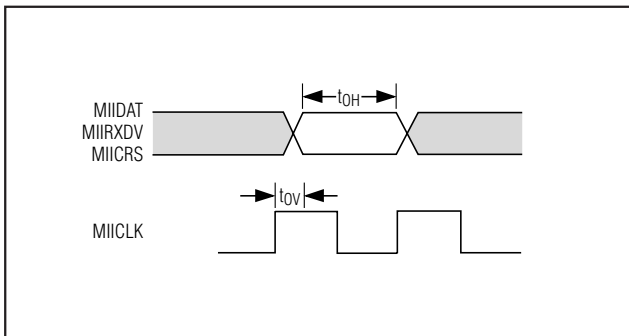


图8. MII接口——接收定时细节

表4. MII接口——接收定时细节\*

PARAMETER	DESCRIPTION	MAX	UNITS
$t_{OV}$	Data valid after positive edge of MIICLK	2.5	ns
$t_{OH}$	Nominal data hold time	One MIICLK period	ns

\* 遵从IEEE 802.3u标准。

# 集成电力线数字收发器

## 简化型媒体 无关接口 (rMII)

表5说明了MAX2986在rMII模式下的数据、状态和控制信号。在这种模式下，数据按双位发送和接收。rMII模式的连接如图9所示。

在接收数据发生错误时，为了在省去MIIRXER信号的情况下仍然满足未侦测错误率要求，MIIDAT[5:4]用10替换接收流中的解出数据，直到载波结束。通过这种替换，CRC校验可以确保检测到错误并拒绝这个包。

表5. rMII信号说明

NAME	DATA LINES	I/O	DESCRIPTION
MIIDAT[1:0]	2	I	<b>Transmit Data.</b> Data are transferred to the interface from the external MAC across these two lines, one di-bit at a time. MIIDAT[1:0] is 00 to indicate idle when MIITXEN is deasserted.
MIITXEN	1	I	<b>Transmit Enable.</b> This signal indicates to the MAX2986 that valid data is present on the MIIDAT pins. MIITXEN is asserted synchronously with the first nibble of the preamble and remains asserted while all di-bits to be transmitted are presented to the rMII.
MIIDAT[5:4]	2	O	<b>MII Receive Data.</b> Data is transferred from the MAX2986 to the external MAC across these two lines, one di-bit at a time. Upon assertion of MIIRXDV, the MAX2986 ensures that MIIDAT[5:4] = 00 until proper receive decoding takes place.
MIIRXDV	1	O	<b>Receive Data Valid (CRS_DV).</b> When asserted high, MIIRXDV indicates that the incoming data on the MIIDAT pins are valid.
MIICLK	1	I	<b>rMII Reference Clock.</b> A continuous clock that provides the timing reference for MIIRXDV, MIIDAT, MIITXEN, and MIIRXER. MIICLK is sourced by the Ethernet MAC or an external source and its frequency is 5MHz (50MHz) in 10Mbps (100Mbps) data rate.
<b>MANAGEMENT DATA UNIT</b>			
MIIMDC	1	I	<b>MII Management Data Clock.</b> A 2.5MHz noncontinuous clock reference for the MIIMDIO signal.
MIIMDIO	1	I/O	<b>MII Management Data Input/Output.</b> It is a bidirectional signal that carries the data for the management data interface.

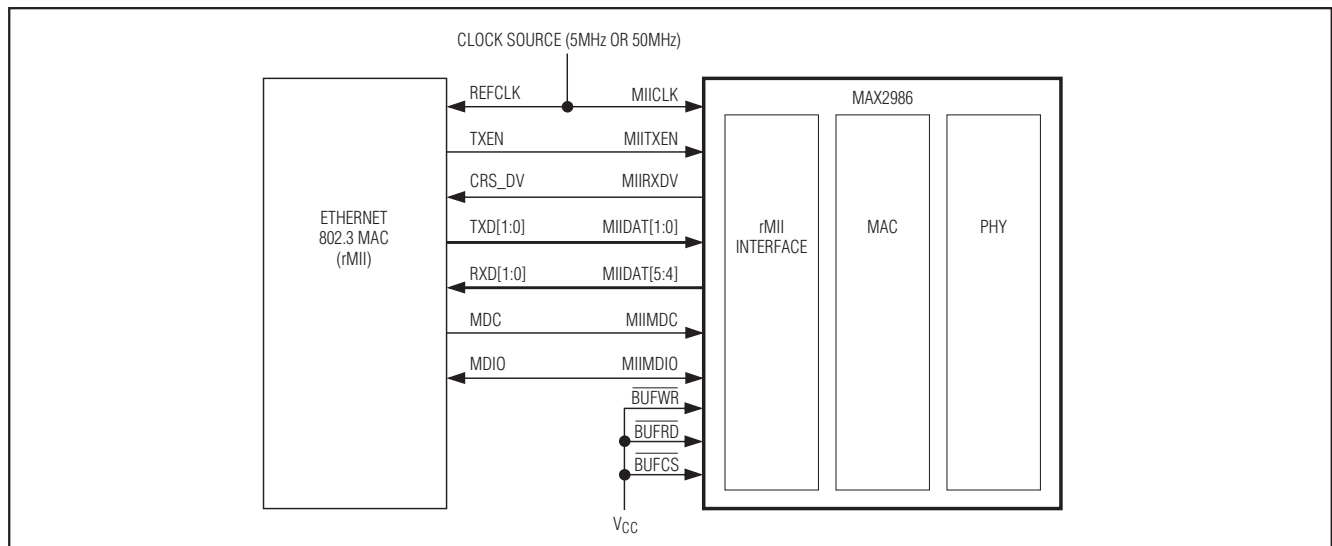


图9. rMII模式下的MAC-PHY连接

# 集成电力线数字收发器

### rMII信号定时

除了以双位形式接收和发送数据，并取消了MIICRS，rMII的发送和接收定时和MII相同。

### FIFO接口信号

表6说明了在缓冲模式 (FIFO) 下，MAX2986的数据、状态和控制信号。FIFO缓冲接口采用半双工模式。MIIRXDV不会和MIITXEN同时发出，但它可以在接收过程中开始发送。强烈建议给予接收更高的优先权，以免数据丢失。

在发送时，MAX2986在MIITXEN有效后发出MIICRS，并在MIITXEN无效后且MAX2986准备好接收下一个包时撤销MIICRS。MIICRS变低后如果有另一个包要发送可再次触发。

传递一开始，发送信号立即被调制到线上，因为接口填充MACX2986缓冲器的速度要快于调制器处理数据的速度。当一个包到达MAX2986时，它会尝试获得通道的访问权。由于这不能发生在整个包通过接口传递完成之前，MAX2986至少需缓冲一个以太包，以实现速度适配。

在接收时，当MAX2986预见到将有一个包被解调出来时，它会拉高MIIRXDV以告知上层，已准备好发送一个包。最后一个字节发完后MIIRXDV拉低。

接收方向的传输优先于发送方向，已确保清缓冲的速度快于包到达的速度。最短接收时间为一个Tx帧加一个IFG。

表6. FIFO信号说明

NAME	DATA LINES	I/O	DESCRIPTION
MIIDAT[7:0]	8	I/O	<b>Transmit/Receive Data.</b> Data are transferred to/from the MAX2986 from/to the external MAC across this bidirectional port, one byte at a time.
MIITXEN	1	I	<b>Transmit Enable [Active High].</b> This signal indicates to the MAX2986 that the transmission has started, and that data on MIIDAT should be sampled using $\overline{\text{BUFWR}}$ . MIITXEN remains high to the end of the session.
MIICRS	1	O	<b>Transmit In Progress [Active High].</b> When asserted high, MIICRS indicates to the external host that outgoing traffic is present on the powerline and the host should wait until the signal goes low before sending additional data.
$\overline{\text{BUFWR}}$	1	I	<b>Write [Active Low].</b> Inputs a write signal to the MAX2986 from the external MAC, writing the present data on MIIDAT pins into the interface buffer on each positive edge.
MIIRXDV	1	O	<b>Receive Data Valid [Active High].</b> When asserted high, MIIRXDV indicates that the incoming data on the MIIDAT pins are valid.
MIIRXER	1	O	<b>Receive Error [Active High].</b> When asserted high, MIIRXER indicates to the external MAC that an error has occurred during the frame reception.
$\overline{\text{BUFRD}}$	1	I	<b>Read [Active Low].</b> Inputs a read signal to the MAX2986 from the external MAC, reading the data from the MIIDAT pins of the MAX2986 on each positive edge.
$\overline{\text{BUFCS}}$	1	I	<b>Chip Select [Active Low].</b> When asserted low, it enables the chip.
MIICLK	1	I	<b>Reference Clock.</b> Used for sampling $\overline{\text{BUFWR}}$ and $\overline{\text{BUFRD}}$ .

# 集成电力线数字收发器

## FIFO 信号定时—发送

当外部主机准备发送一帧数据，并且MIICRS为低（前次发送已完成），它会发出MIITXEN。外部主机必须在MIIRXDV不为高时发出MIITXEN，以免数据丢失。作为响应，MAX2986发出MIICRS。外部主机保持MIITXEN为高时，通过MIIDAT，在BUFWR的每个上升沿发送一个字节的的数据到MAX2986。

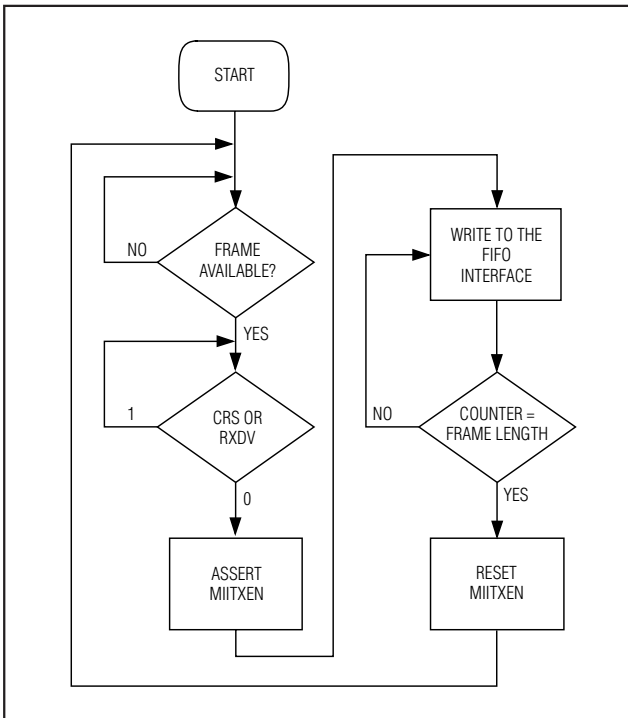


图10. 外部主机的缓冲发送流程

发完最后一个数据字节后，外部主机复位MIITXEN。图10给出了外部主机和MAX2986基带芯片的互动方式。

FIFO接口的总体发送定时如图11所示，详细定时参见图11和表7。

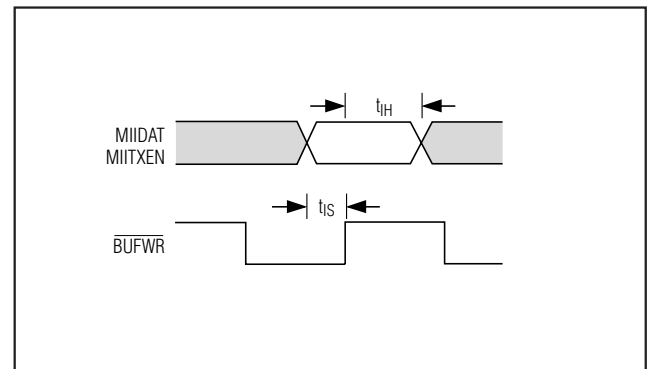


图12. FIFO接口—发送定时细节

表7. FIFO接口—发送定时\*

PARAMETER	DESCRIPTION	TYP	UNITS
$t_{S}$	Setup prior to positive edge of BUFWR	3	ns
$t_{H}$	Hold after positive edge of BUFWR	Debounce** MIICLK + 3	ns

\* 遵从IEEE 802.3u标准。

\*\* 去抖参数的默认值为3。

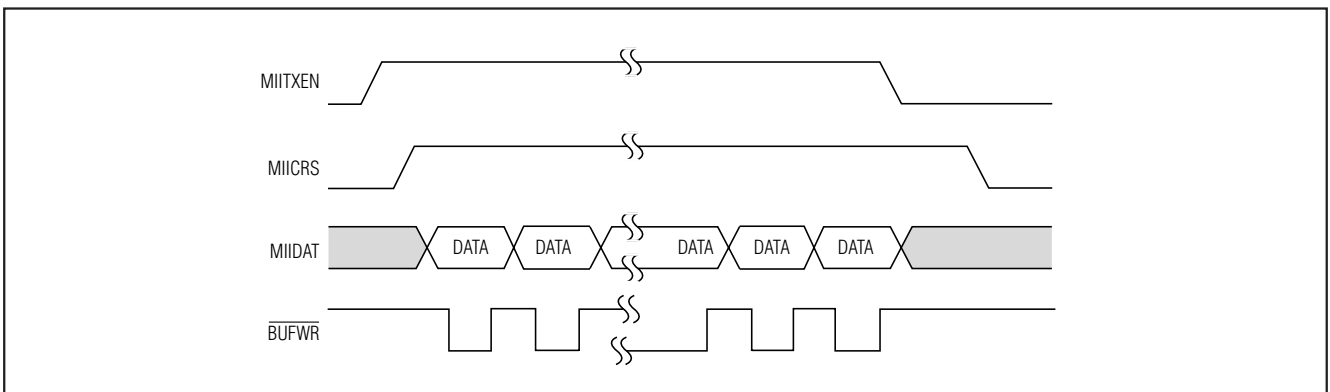


图11. 缓冲 (FIFO) 接口的发送定时

## 集成电力线数字收发器

### FIFO信号定时—接收

当MAX2986准备发送一帧数据给外部主机时，如果没有正在进行的发送会话，等待一个IFG之后（相对于MICRS，约0.96μs），MAX2986发出MIIRDV信号。如果正在进行发送则不能启动接收进程。

MAX2986保持MIIRDV为高时，在每个BUFRD的正沿，它发送一个字节的的数据到MIIDAT。最先两个字节（高位

先）代表帧长。最后一个数据字节被接收后，MAX2986复位MIIRDV。双向数据引脚的方向受控于BUFCS和BUFRD。当BUFCS = 0且BUFRD = 0时MAX2986使能数据输出驱动器。外部主机和MAX2986基带的互动方式如图13所示，缓冲接口总的接收定时如图14所示，细节示于图15和表8。

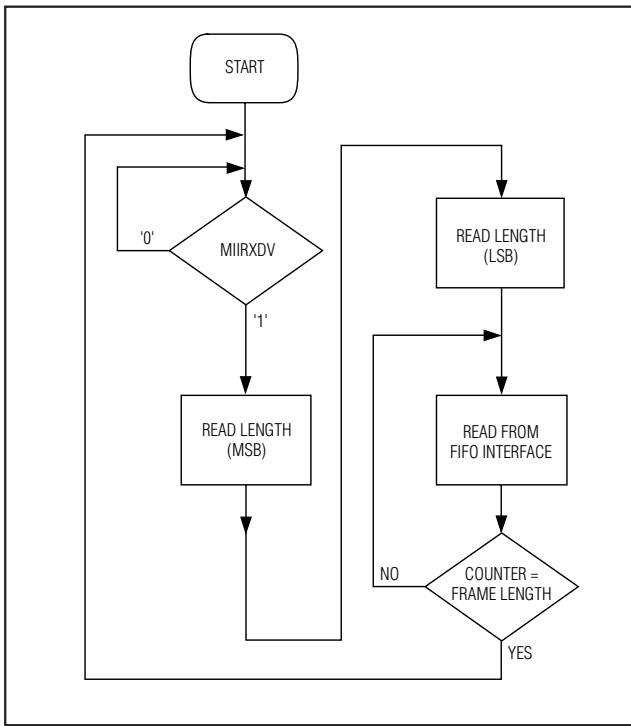


图13. 外部主机缓冲 (FIFO) 接口的接收流程

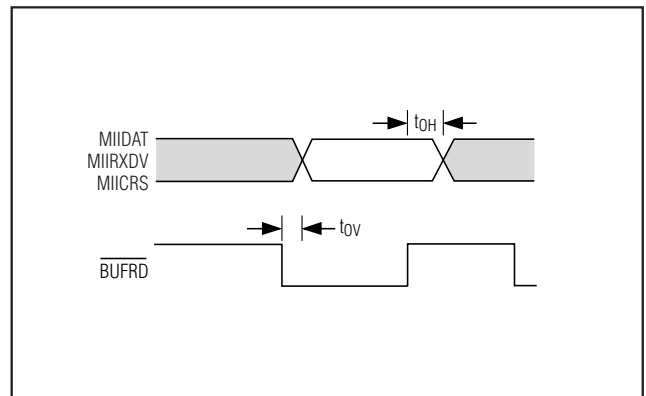


图15. FIFO接口—接收定时细节

表8. FIFO接口—接收定时\*

PARAMETER	DESCRIPTION	MIN	UNITS
tOV	Valid after negative edge of BUFRD	Debounce** MIICLK + 3	ns
tOH	Hold after positive edge of BUFRD	0	ns

\* 遵从IEEE 802.3u标准。

\*\* 去抖参数的默认值为3。

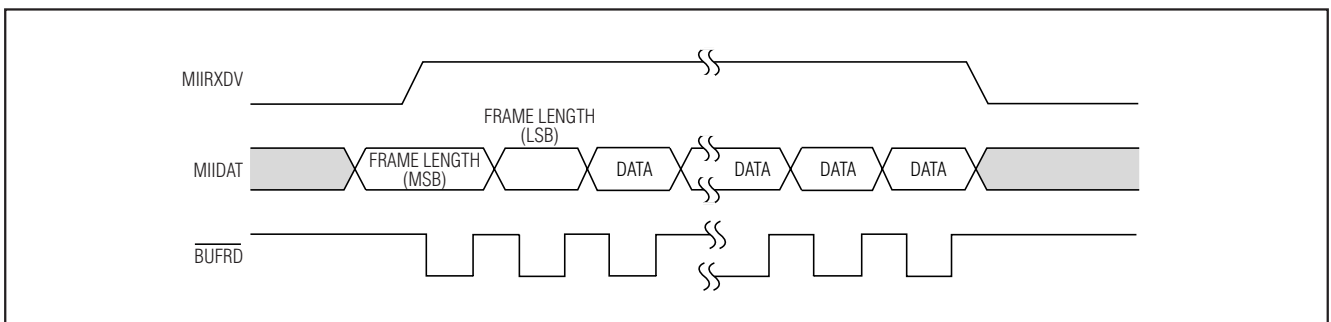


图14. 缓冲 (FIFO) 接口的接收定时



# 集成电力线数字收发器

## 数据管理单元 MDU

## 以太网接口

MIIMDIO 引脚是管理数据接口的一个双向数据引脚。MIIMDC 信号是 MIIMDIO 信号的时钟参考。图 16 给出了管理数据单元的写操作。管理数据单元的写操作如图 17 所示。

上层接口可以按照表 9 所示的引脚设置来选择。

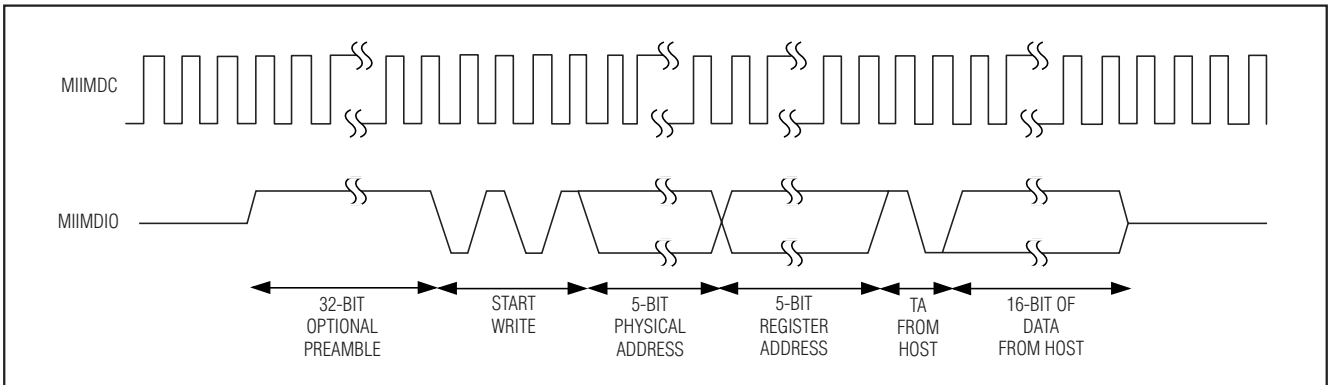


图 16. 管理数据单元的写操作

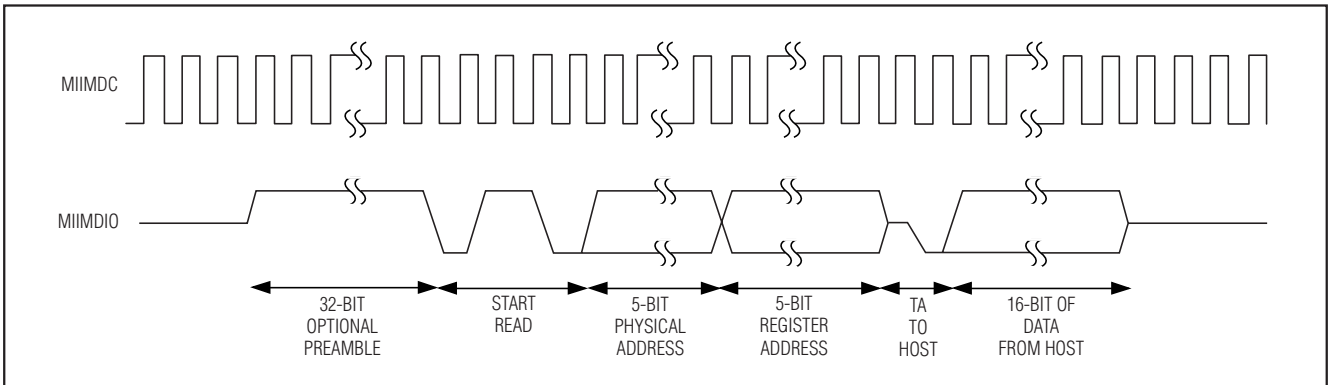


图 17. 管理数据单元的读操作

表 9. 上层接口选择引脚设置

INTERFACE	GPIO[3]	GPIO[6]	GPIO[4]
MII	1	0	0
rMII	1	0	1

# 集成电力线数字收发器

图18为发送定时示意图。 $t_{TXDV}$ 是数据在ETHTXCLK从低到高跳变之后必须有效的的时间。 $t_{TXDH}$ 是数据在ETHTXCLK从低到高跳变后必须保持的时间。图19显示了接收定时。 $t_{RXS}$ 是领先于ETHRXCLK正沿的建立时间。 $t_{RXH}$ 是ETHRXCLK正沿之后的保持时间。有关以太网MAC接口的进一步信息，请参考IEEE 802.3规范。

## USB接口

图20给出了USB电缆的结构图。USB D+和USB D-是USB接口的数据引脚，对应于图20中的D+和D-。 $V_{BUS}$ 在源端的额定值为+5V。表10给出了选择USB时上层接口选择引

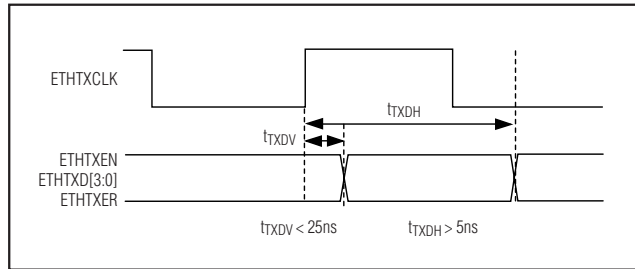


图18. 以太网MAC接口到MAX2986的发送定时

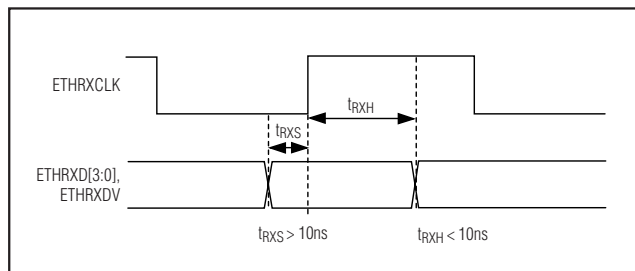


图19. 以太网MAC接口到MAX2986的接收定时

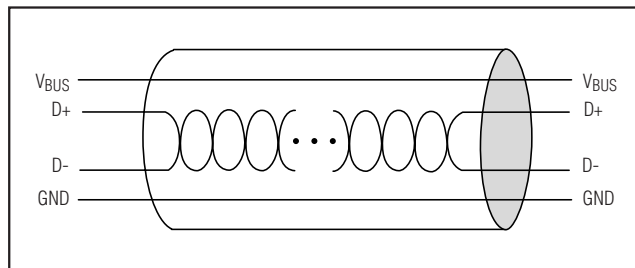


图20. USB电缆

脚的设置。关于USB接口的更多细节，请参考Universal Serial Bus Specification, Revision 1.1。

## UART接口

MAX2986基带芯片中包含了一个使用UART标准接口的串行异步通信协议，用于下载/调试MAC软件。为了和当前的MAC软件通信，UART接口必须按照表11所示来配置。

为下载和调试HomePlug MAC软件，需要用一条零调制解调器电缆按图21所示连接串口。MAX3221被用作UART驱动器。

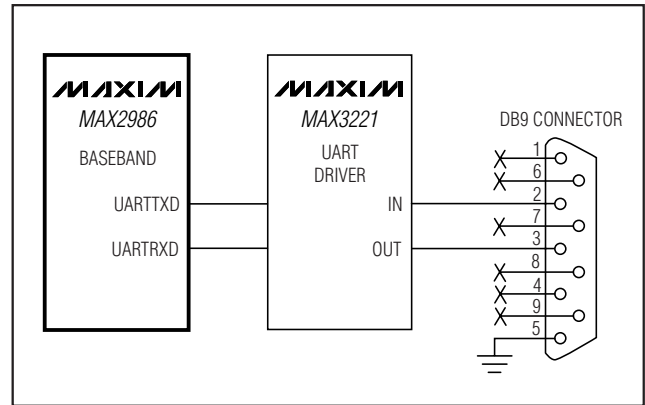


图21. 带驱动器和DB9插座的MAX2986 UART接口

表10. 上层接口选择引脚的设置

INTERFACE	GPIO[3]	GPIO[6]	GPIO[4]
USB	0	0	0

表11. UART接口配置

Data Rate	115,200bps
Data Length	8 Bits
Stop Bit	1 Bit
Flow Control	None

# 集成电力线数字收发器

## 终止接口

如想终止各种接口，可按表12-15所示配置相应的I/O引脚。

表 12. 禁止USB接口

LOCATION	NAME	DIRECTION	TERMINATE STATUS
C5	USBD-	I/O	Connect to DGND with a 5.1MΩ resistor.
B5	USBD+	I/O	N.C. (no connection).

表 13. 禁止以太网接口

LOCATION	NAME	DIRECTION	TERMINATE STATUS
L9	ETHTXCLK	I	DGND
M4	ETHRXCLK	I	DGND
N2	ETHCOL	I	DGND
N3	ETHCRS	I	DGND
M9	ETHTXEN	O	N.C.
M7	ETHRXDV	I	DGND
N9	ETHTXER	O	N.C.
N7	ETHRXER	I	DGND
M6	ETHRXD[0]	I	DGND
L5	ETHRXD[1]	I	DGND
M5	ETHRXD[2]	I	DGND
N5	ETHRXD[3]	I	DGND
M8	ETHTXD[0]	O	N.C.
N8	ETHTXD[1]	O	N.C.
L8	ETHTXD[2]	O	N.C.
L7	ETHTXD[3]	O	N.C.
M3	ETHMDC	O	N.C.
N4	ETHMDIO	I/O	N.C.

# 集成电力线数字收发器

MAX2986

表 14. 禁止MII/rMII/FIFO接口

LOCATION	NAME	DIRECTION	TERMINATE STATUS
K11	MIICRS	O	N.C.
F11	MIITXEN	I	DGND
N10	MIICLK	I	DGND
J12	MIIDAT[7]	I/O	N.C.
K12	MIIDAT[6]	I/O	N.C.
J13	MIIDAT[5]	I/O	N.C.
L12	MIIDAT[4]	I/O	N.C.
N11	MIIDAT[3]	I/O	N.C.
N12	MIIDAT[2]	I/O	N.C.
N13	MIIDAT[1]	I/O	N.C.
L13	MIIDAT[0]	I/O	N.C.
L11	MIIRXER	O	N.C.
H10	MIIRXDV	O	N.C.
H12	$\overline{\text{BUFCS}}$	I	V <sub>DD</sub>
H11	$\overline{\text{BUFRD}}$	I	V <sub>DD</sub>
H13	$\overline{\text{BUFRW}}$	I	V <sub>DD</sub>
J11	MIIMDC	I	DGND
K13	MIIMDIO	I/O	N.C.

表 15. 禁止UART

LOCATION	NAME	DIRECTION	TERMINATE STATUS
UARTTXD	K7	O	N.C.
UARTRXD	L6	I	V <sub>DD</sub>

注意：禁止UART接口也就禁止了MAC代码升级和芯片的闪存编程功能。

## 连接MAX2986和MAX2980模拟前端 (AFE)

连接到MAX2980 AFE的接口采用双向总线传递到DAC和来自于ADC的数字数据。握手线用于协助完成数据的传递以及AFE的操作。图22显示了接口信号。关于AFE的引脚配置/说明请参考MAX2980数据手册。

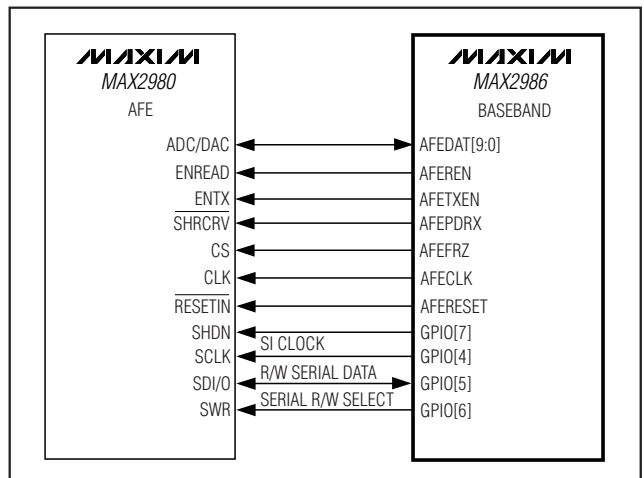


图22. MAX2980 AFE到MAX2986的接口

# 集成电力线数字收发器

MAX2986

表 16. MAX2986 到 AFE 接口信号说明

NAME	DATA LINES	I/O	DESCRIPTION
AFETXEN	1	O	<b>AFE Transmit Enable.</b> The AFETXEN signal is used to enable the transmitter of the AFE. When AFETXEN and AFEREN are high, data is sent through the AFEDAD[9:0] to the DAC and then into the powerline.
AFEREN	1	O	<b>Setting Bus Direction.</b> The AFEREN signal sets the direction of the data bus AFEDAD[9:0]. When high, data can be sent from the MAX2986 to the DAC in the AFE, and when low, data is sent from the ADC to the MAX2986.
AFEPDRX	1	O	<b>AFE Receiver Power-Down.</b> When the AFE is in transmit mode, the AFEPDRX signal goes high, the receiver section of the AFE is powered down. The MAX2986 features a transmit power-saving mode that reduces current dissipation. To use this power-saving mode, lower AFEPDRX prior to the end of a transmission. If this mode is not required, connect AFEPDRX to AFETXEN and AFEREN.
AFEDAD[9:0]	10	I/O	<b>AFE 10-Bit ADC and DAC Bus.</b> AFEDAD[9:0] is the 10-bit bidirectional bus that connects the MAX2986 to the AFE DAC and ADC. The direction of the bus is controlled by AFEREN described above.
AFEFRZ	1	O	<b>AFE Receive AGC Control.</b> The AFEFRZ signal controls the AGC circuit in the receive path in the AFE. When this signal is low, the gain circuit on the input signal continuously adapts for maximum sensitivity. This signal is raised high when the MAX2986 detects a valid preamble. After the AFEFRZ signal is raised high, it continues to adapt for an additional short period of time, then it locks the currently adapted level on the incoming signal. The MAX2986 holds AFEFRZ high while receiving a transmission, and then lowers for continuous adaptation for maximum sensitivity of other incoming signals.
AFECLK	1	O	<b>AFE Clock.</b> A 50MHz clock generated for the MAX2986 AFE.
AFERESET	1	O	<b>AFE Reset.</b> To perform a reset on the MAX2986 AFE, AFECLK must be free running and AFERESET must be LOW for typically 1s. A reset must be performed at power-up.
GPIO[6]	1	O	<b>AFE Serial Interface Read/Write Select.</b>
GPIO[5]	1	I/O	<b>AFE Serial Interface Data (Write/Read).</b>
GPIO[4]	1	O	<b>AFE Serial Interface Clock.</b>
GPIO[7]	1	O	<b>AFE Power-Down.</b>

### AFE 定时

图23说明了AFE输入时钟与输入DAC和输出ADC的数据之间的关系。

### AFE 串行接口

AFE配置信号GPIO[4]、GPIO[5]和GPIO[6]用于对AFE内部寄存器进行编程。GPIO[4]是串行时钟；GPIO[5]是用于读寄存器和重新编程的双向数据传输线，而当GPIO[6]为高电平时，寄存器为写模式。不用时将这些信号线置低。关于AFE串行接口定时的更多信息请参考MAX2980数据手册。

### 升级和编程MAC

MAX2986中运行的应用代码提供了广泛的引导选项，使其具有很高的灵活性，可以通过不同的芯片连接来设置这些选项。通过引导引脚和闪存类型引脚可以选择不同的引导模式，MAX2986在启动时检测这些引脚的状态。有两种引导模式：

#### 1) 下载加密的闪存驻留代码：

映像 (image) 可以利用I<sup>2</sup>C\*或SPI™接口下载到闪存中。代码映像地址保存在闪存的开始处。闪存中的加密代码映像可以利用TFTP协议进行升级。

#### 2) 通过UART进行简单代码下载：

MAX2986也可配置为通过UART接收代码映像。映像中前四个字节规定了在SSRAM中复制二进制映像(0x2020000–0x203FFFF)的存储器位置。接下来的四个字节规定了映像的长度(不包括8个头和4个尾字节)，以字为单位。长度不能大于128kB(SSRAM的大小)，而且必须非零，否则在向主机发出一个错误消息后，引导程序会再次启动通过UART的简单代码下载。映像的最后4字节是校验和。映像被装载且校验和经验证为有效后，跳转到目标地址开始执行映像，否则，引导程序会再次启动通过UART的简单代码下载。

芯片的五个引脚被用来确定引导模式。表17给出了相应的设置(PU：上拉，PD：下拉，X：任意)。上拉和下拉电阻为10kΩ。GPIO[8]和GPIO[10]是两个用作闪存操作的引脚。这两个引脚在闪存操作中是输出端，但是在系统引导过程中作为输入端。

如果在引导过程中发生错误，会在LED引脚上提示错误代码：GPIO[21](LED0\_BP0)、GPIO[22](LED1\_BP1)和GPIO[23](LED2\_BP2)，具体含义参见表18。LED的上拉/下拉电阻为1kΩ或更小。

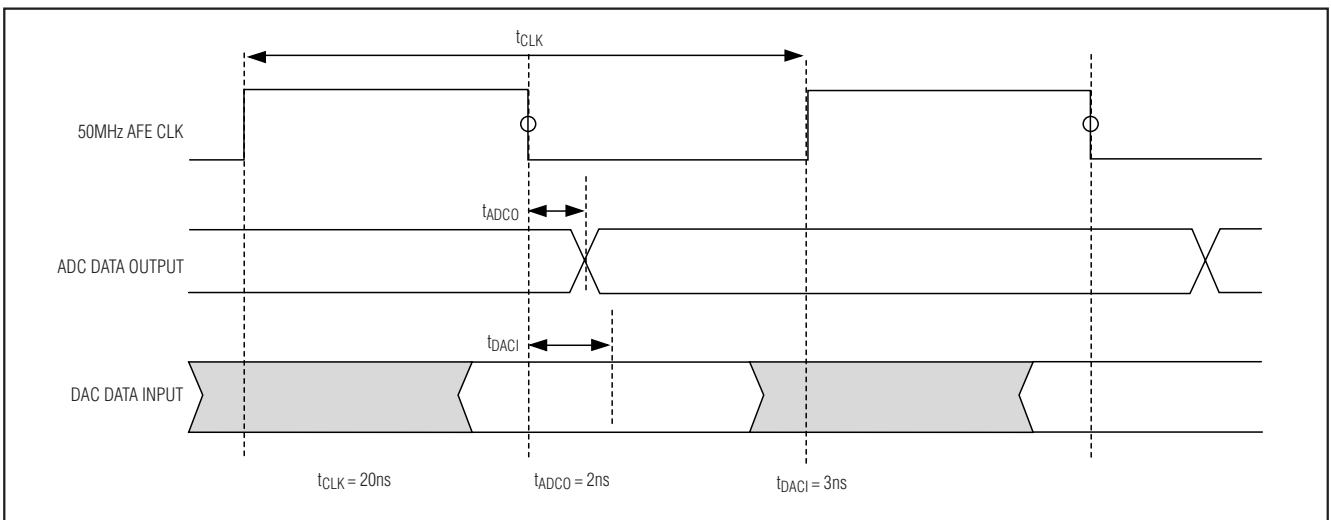


图23. AFE ADC和DAC定时图

\* 购买Maxim Integrated Products, Inc. 或其从属授权关联公司的I<sup>2</sup>C产品，即得到了Philips I<sup>2</sup>C的专利许可，将这些产品用于符合Philips定义的I<sup>2</sup>C标准规范的系统。  
SPI是Motorola, Inc. 的商标。

# 集成电力线数字收发器

GPIO引脚和初始化引脚在启动过程中的状态如表17所示。更多信息请参见引脚说明。

因为PLL模块用到复位信号 $\overline{\text{RESET}}$ ，它必须保持有效至PLL时钟产生延迟之后，大约为0.5ms。

## 时钟和复位

## GPIO引脚应用

MAX2986内有一个振荡器，需外接晶体。采用一个在工作温度范围内稳定度达 $\pm 25\text{ppm}$  (最大) 的30MHz晶体。所有其他必要的时钟都是由内部的两个集成PLL产生的。图24说明了如何连接一个晶体到MAX2986。如果使用外部时钟振荡器，可将XOUT引脚浮空，如图25所示。

MAX2986固件对GPIO引脚有特殊应用，如表19所示。GPIO引脚被用于输入、输出或双向。

表 17. 引导模式

BOOT MODE	FLASH TYPE	BOOT/FT PINS				
		GPIO[23]	GPIO[22]	GPIO[21]	GPIO[8]	GPIO[10]
Encrypted image downloaded from flash	Flash type is SPI (AT45DB)	0	1	0	PU	PU
	Flash type is SPI (SST25VF)	1	1	0	PU	PU
	Flash type is I <sup>2</sup> C	X	1	0	PD	PU
Code downloaded through UART	X	0	0	0	X	PU*

X = 任意

\*PU: 如果GPIO[10]引脚被拉低而不是被拉高，那就表明无闪存器件连接到芯片上。如果是这种情况并且LED0\_BP0 = LED1\_BP1 = 0，则GPIO[8]线必须被拉高。

表 18. 引导错误代码

LED2_BP2	LED1_BP1	LED0_BP0	BOOT STATUS
0	0	1	The flash does not contain a valid image.
0	1	0	The size of the image is more than 128kB.
0	1	1	The base address of the image is out of the allowed range.
1	0	0	Checksum error.
1	0	1	No flash is available.
1	1	0	Invalid boot mode.
1	1	1	No error.
0	0	0	



# 集成电力线数字收发器

MAX2986

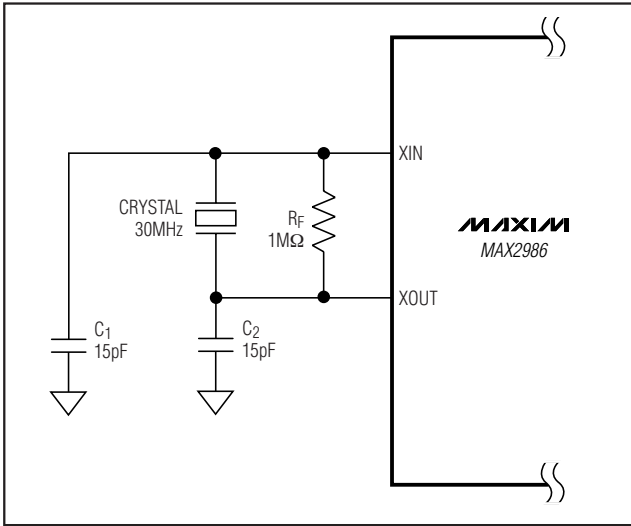


图24. 连接晶体到MAX2986

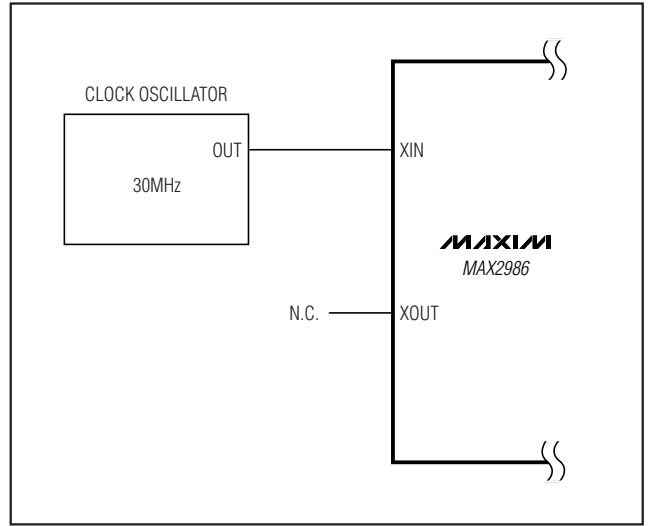


图25. 连接时钟振荡器到MAX2986

# 集成电力线数字收发器

MAX2986

表 19. GPIO 引脚在 MAX2986 固件中的用途

LOCATION	GPIO	MAX2986 EV KIT USE	DESCRIPTION
C4	GPIO[23]	HFACT_BP2	Output: Drive AFE interface activity LED Input: Boot pin 2
A5	GPIO[22]	HPLINK_BP1	Output: Drive AFE interface link status LED Input: Boot pin 1
B6	GPIO[21]	HPCOL_BP0	Output: Drive AFE interface collision LED Input: Boot pin 0
C9	GPIO[13]	PID2	Output: None Input: Processor ID, bit 2
B9	GPIO[12]	PID1	Output: None Input: Processor ID, bit 1
A9	GPIO[11]	PID0	Output: None Input: Processor ID, bit 0
B10	GPIO[10]	IWCS_FT1	Output: Flash interface chip select Input: Nonvolatile memory bit 1
A10	GPIO[9]	ISDAT	Output: Flash interface data (write) Input: Flash interface data (read)
B11	GPIO[8]	ISCL_FT0	Output: Flash interface serial clock Input: Nonvolatile memory, bit 0
A11	GPIO[7]	PDAFE	Output: AFE power-down Input: None
B12	GPIO[6]	AWR_UL1	Output: AFE serial interface write Input: Upper interface select, bit 1
A12	GPIO[5]	ASDAT	Output: AFE serial interface data (write) Input: AFE serial interface data (read)
A13	GPIO[4]	ASCL_UL0	Output: AFE serial interface clock Input: Upper layer interface select, bit 0
B4	GPIO[3]	UL2	Output: None Input: Upper layer interface select, bit 2
A4	GPIO[2]	—	Output: It is used to control external USB circuit Input: None

# 集成电力线数字收发器

MAX2986

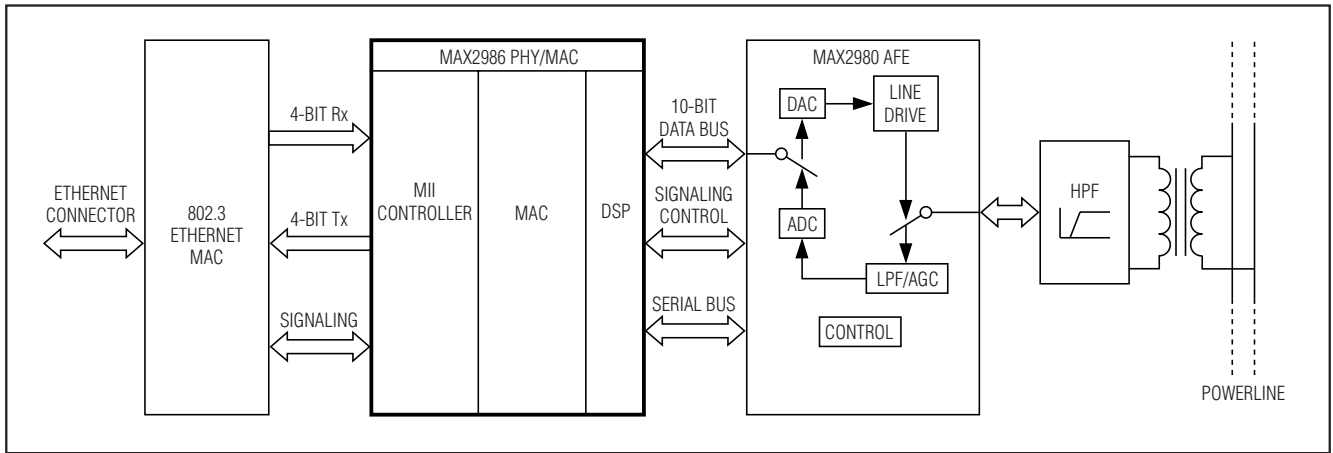


图26. 电力线基带到MII应用框图

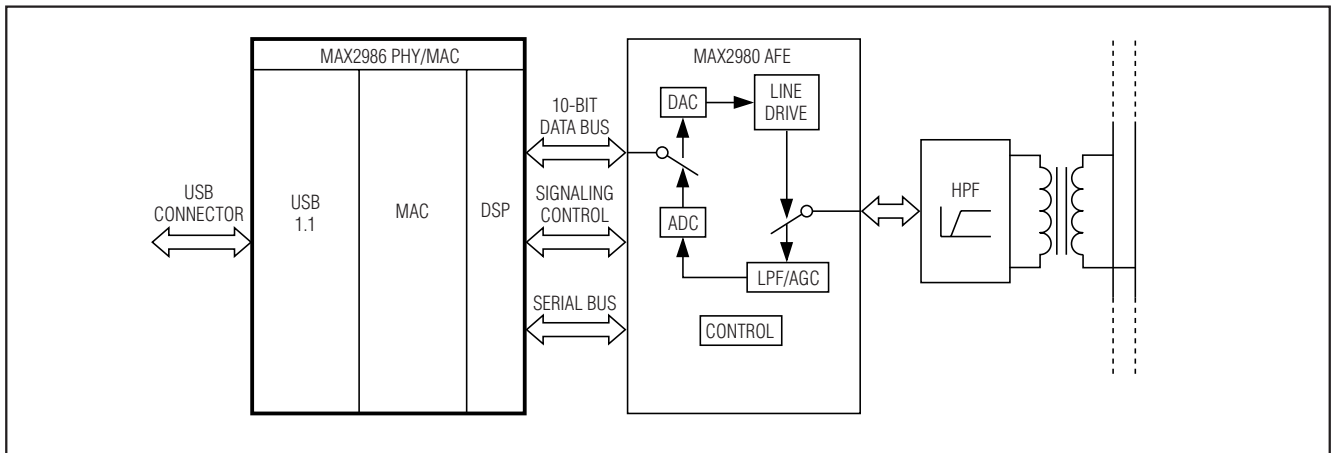


图27. 电力线基带到USB应用框图

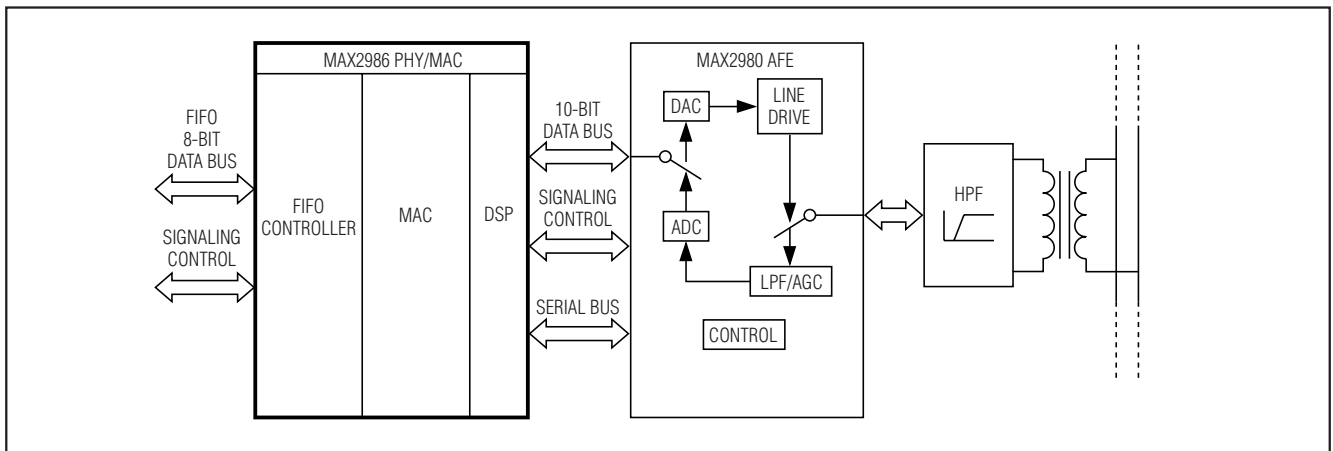
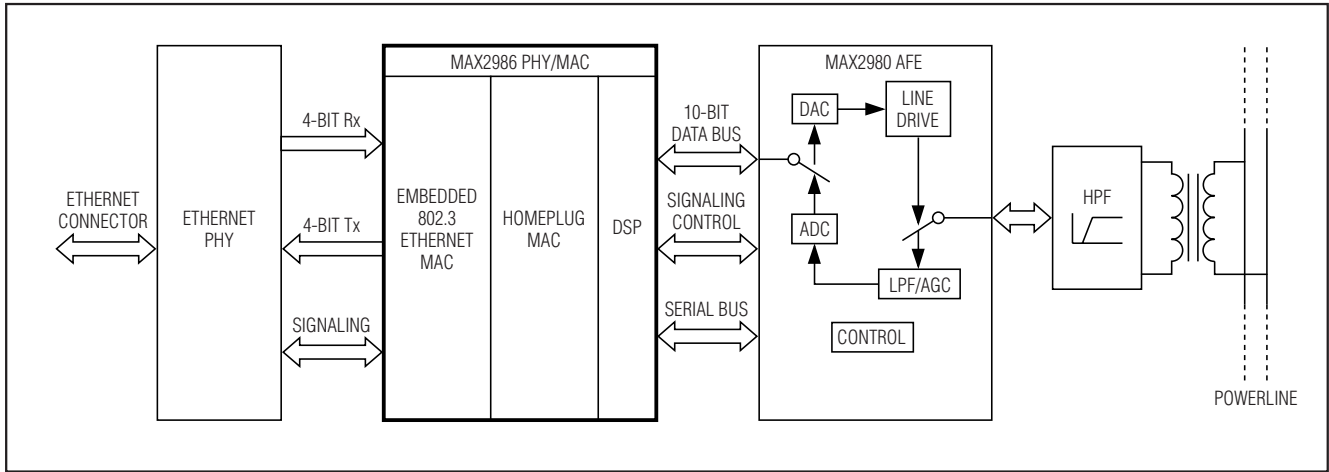


图28. 电力线基带到FIFO应用框图

# 集成电力线数字收发器

MAX2986

典型应用电路



## 芯片信息

PROCESS: CMOS

# 集成电力线数字收发器

引脚配置

MAX2986

	1	2	3	4	5	6	7	8	9	10	11	12	13	
A	DV <sub>DD</sub>	DV <sub>SS</sub>	AV <sub>DD</sub>	GPIO[2]	GPIO[22]	V <sub>DD33</sub>	GPIO[17]	GPIO[14]	GPIO[11]	GPIO[9]	GPIO[7]	GPIO[5]	GPIO[4]	A
B	DGND	AV <sub>SS</sub>	GPIO[0]	GPIO[3]	USB <sub>D+</sub>	GPIO[21]	GPIO[18]	GPIO[15]	GPIO[12]	GPIO[10]	GPIO[8]	GPIO[6]	N.C.	B
C	V <sub>DD33</sub>	DGND	GPIO[1]	GPIO[23]	USB <sub>D-</sub>	GPIO[20]	GPIO[19]	GPIO[16]	GPIO[13]	V <sub>DD18</sub>	JTMS	JTDI	V <sub>DD33</sub>	C
D	N.C.	$\overline{\text{USBRESET}}$	$\overline{\text{RESET}}$	DGND	DGND	DGND	DGND	DGND	DGND	V <sub>DD18</sub>	N.C.	N.C.	N.C.	D
E	N.C.	JRTCLK	DGND	AFEFRZ						V <sub>DD18</sub>	DGND	DGND	DGND	E
F	AFETXEN	XIN	XOUT	DGND						V <sub>DD18</sub>	MIITXEN	V <sub>DD33</sub>	DGND	F
G	AFERESET	AFEDAD[0]	AFEDAD[1]	AFEDAD[2]						V <sub>DD18</sub>	JTDO	$\overline{\text{JTRST}}$	JTCK	G
H	AFEDAD[3]	AFEDAD[4]	AFEDAD[5]	AFEDAD[6]						MIIRXDV	$\overline{\text{BUFRD}}$	$\overline{\text{BUFCS}}$	$\overline{\text{BUFWR}}$	H
J	V <sub>DD33</sub>	AFEDAD[7]	AFEDAD[8]	AFEDAD[9]						V <sub>DD18</sub>	MIIMDC	MIIDAT[7]	MIIDAT[5]	J
K	AFECLK	AFEREN	AFEPDRX	N.C.	DGND	DGND	UARTTXD	DGND	DGND	V <sub>DD18</sub>	MIICRS	MIIDAT[6]	MIIMDIO	K
L	V <sub>DD33</sub>	DV <sub>DD</sub>	DV <sub>SS</sub>	V <sub>DD33</sub>	ETHRXD[1]	UARTRXD	ETHTXD[3]	ETHTXD[2]	ETHTXCLK	V <sub>DD33</sub>	MIIRXER	MIIDAT[4]	MIIDAT[0]	L
M	AV <sub>DD</sub>	AV <sub>SS</sub>	ETHMDC	ETHRXCLK	ETHRXD[2]	ETHRXD[0]	ETHRXDV	ETHTXD[0]	ETHTXEN	DGND	DGND	N.C.	V <sub>DD33</sub>	M
N	DGND	ETHCOL	ETHCRS	ETHMDIO	ETHRXD[3]	DGND	ETHRXER	ETHTXD[1]	ETHTXER	MIICLK	MIIDAT[3]	MIIDAT[2]	MIIDAT[1]	N

**MAXIM**  
MAX2986

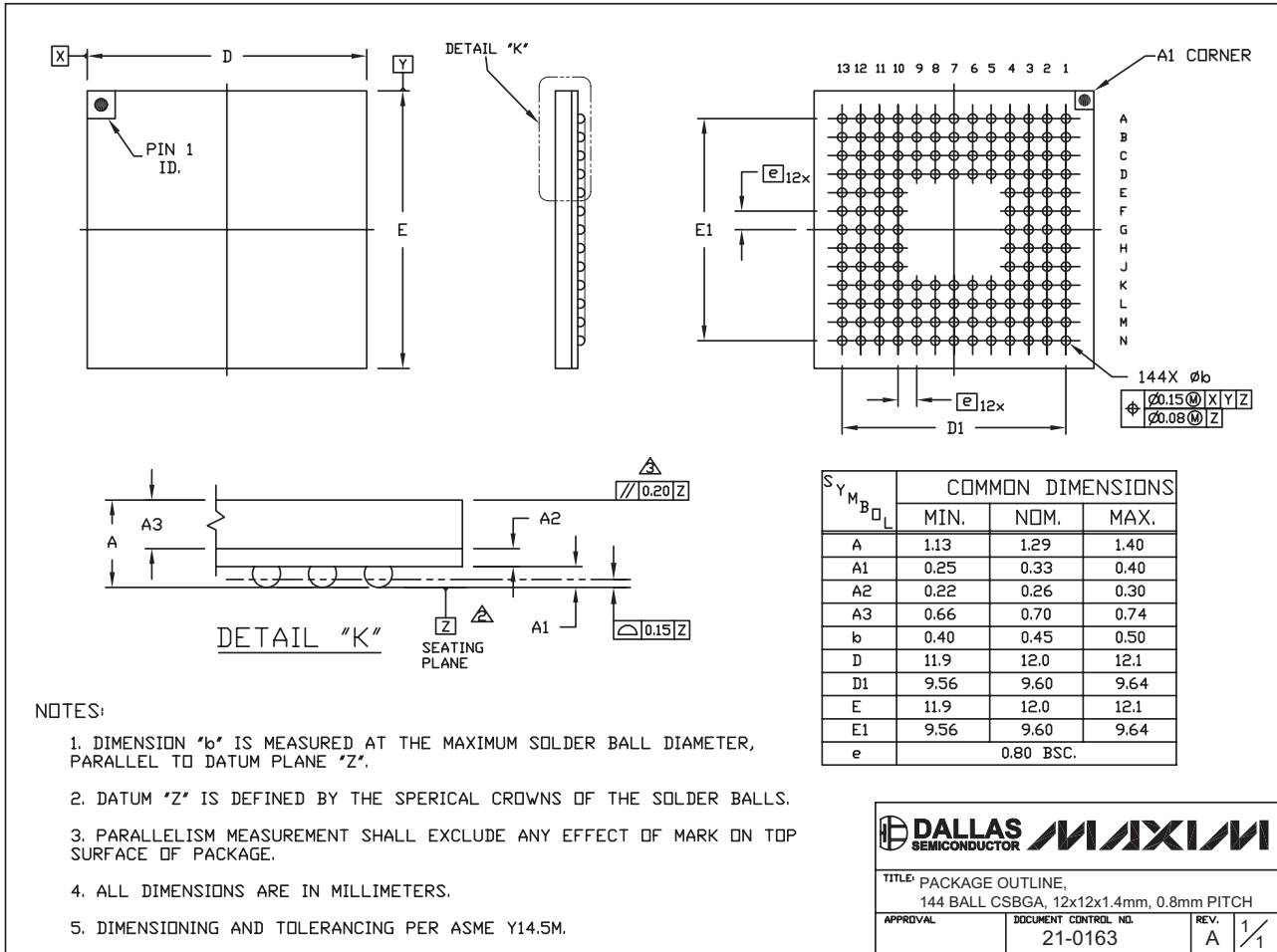
**CSBGA**

# 集成电力线数字收发器

MAX2986

封装信息

(本数据资料提供的封装图可能不是最近的规格, 如需最近的封装外型信息, 请查询 [www.maxim-ic.com.cn/packages](http://www.maxim-ic.com.cn/packages).)



144 BALL CSBGA EPS

## MAXIM北京办事处

北京 8328 信箱 邮政编码 100083

免费电话: 800 810 0310

电话: 010-6201 0598

传真: 010-6201 0298

Maxim 不对 Maxim 产品以外的任何电路使用负责, 也不提供其专利许可。Maxim 保留在任何时间、没有任何通报的前提下修改产品资料和规格的权利。

28 **Maxim Integrated Products, 120 San Gabriel Drive, Sunnyvale, CA 94086 (408) 737-7600**

© 2004 Maxim Integrated Products

Printed USA

**MAXIM** 是 Maxim Integrated Products, Inc. 的注册商标。